



ΔΗΜΟΚΡΙΤΕΙΟ ΠΑΝΕΠΙΣΤΗΜΙΟ ΘΡΑΚΗΣ
ΣΧΟΛΗ ΘΕΤΙΚΩΝ ΕΠΙΣΤΗΜΩΝ
ΤΜΗΜΑ ΠΛΗΡΟΦΟΡΙΚΗΣ

ΜΑΘΗΜΑ
ΨΗΦΙΑΚΗ ΣΧΕΔΙΑΣΗ (106ΕΥΥΚ)
ΧΕΙΜΕΡΙΝΟ 2024-2025

Διάλεξη Νο4:

**Σχεδίαση Ψηφιακών Συνδυαστικών
Συστημάτων (Mux, Decoder)**

Δ. Καραμπατζάκης, Επίκουρος Καθηγητής
email. dkara@cs.duth.gr

Δήλωση προσβασιμότητας

Σε αυτό το μάθημα όλες/οι οι φοιτήτριες/τές απολαμβάνουν – και αντίστοιχα υποχρεούνται να σέβονται – το δικαίωμα της ίσης μεταχείρισης. Δεν είναι ανεκτή και αποδεκτή κανενός τύπου και μορφής διάκριση με κριτήρια την εθνικότητα, τη φυλή, την καταγωγή, τη γλώσσα, το φύλο, τη θρησκεία, την ηλικία, την υγεία, τη σωματική ικανότητα, την ιδιωτική ζωή, τον γενετήσιο προσανατολισμό, τη σωματική ικανότητα και την οικονομική και κοινωνική κατάσταση στην οποία αυτοί βρίσκονται.

Το Πανεπιστήμιο άγρυπνα μεριμνά για τη διασφάλιση της αρχής των ίσων ευκαιριών και της ίσης μεταχείρισης. Οι κοινωνικές προκαταλήψεις και οι ιδεολογικές παρωπίδες είναι έννοιες τελείως ξένες με την επιστημονική πρόοδο την οποία το Πανεπιστήμιο είναι ταγμένο να υπηρετεί.

Ο Διδάσκων

Πληροφορίες για το Μάθημα

Διδάσκων:

Δημήτρης Καραμπατζάκης, Επίκουρος Καθηγήτης
Αναλογικά και Ψηφιακά Ηλεκτρονικά Συστήματα
Μέλος Εργαστηρίου Βιομηχανικών και Εκπαιδευτικών
Ενσωματωμένων Συστημάτων

Επικοινωνία / πληροφορίες:

Email. dkara@cs.duth.gr

web. <http://www.internetofthings.gr/>

Ώρες Γραφείου:

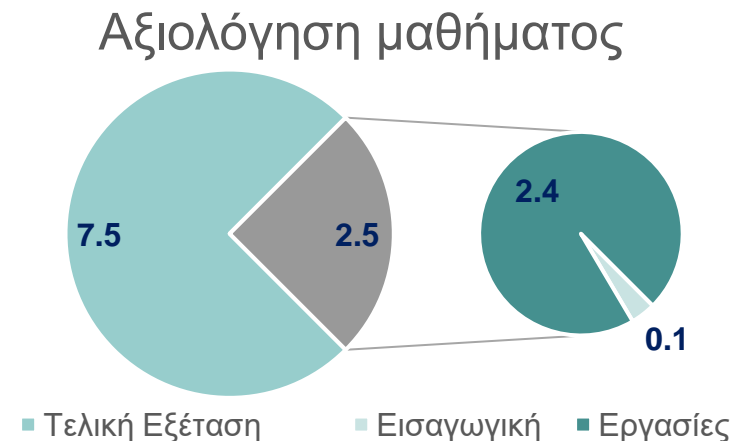
Τετάρτη και Πέμπτη 10.00 π.μ. -12.00 μ.μ.,
μετά από συνεννόηση με email στο ΦΕ 315 (πάνω από αιθ. Α1)

Πληροφορίες για το Μάθημα (Γενικές)

- Κάθε Τρίτη 10.00 π.μ. - 12.00 μ.μ. και Πέμπτη 13.00 μ.μ. - 15.00 μ.μ. μάθημα θεωρίας στο Μεγάλο Αμφιθέατρο (μπορεί να αλλάξει με ανακοινώσεις).
- Η διαχείριση του μαθήματος θα γίνει με χρήση της υπηρεσίας <https://courses.cs.duth.gr>
- Όλοι οι φοιτητές πρέπει να έχουν λογαριασμό στο [uregister](#).
- Η ιστοσελίδα με τις πληροφορίες του μαθήματος: http://iees.cs.ihu.gr/?page_id=3096
- Υλικό του μαθήματος στο moodle: <https://moodle.cs.duth.gr/>

Πληροφορίες για το Μάθημα (Αξιολόγηση)

- Η βαθμολογία είναι 75% από την τελική εξέταση και 25% από τις ατομικές εργασίες (1+1 σετ ασκήσεων) που θα δοθούν για το σπίτι.
- Η τελική εξέταση είναι με ανοιχτό το κύριο σύγγραμμα του μαθήματος.
- Ο βαθμός του μαθήματος ($BM = ΓΕ*0,75 + ΣΑ*0,25$) πρέπει να είναι τουλάχιστον πέντε (5).



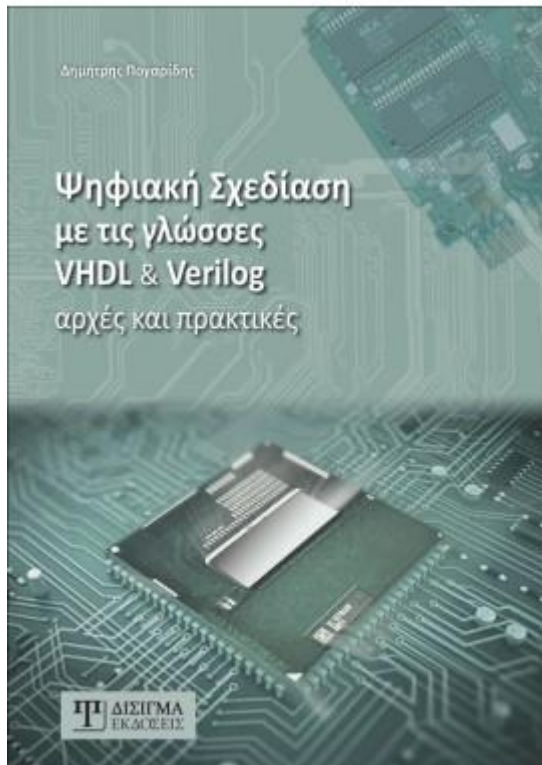
Πληροφορίες για το Μάθημα (Μονάδες)

- Κωδικός Μαθήματος: 106ΕΥΥΚ
- Εξάμηνο: 1ο
- Τύπος Μαθήματος: Υποβάθρου, Ανάπτυξης Δεξιοτήτων
- Είδος Μαθήματος: Υποχρεωτικό (ΥΠ)
- Διδασκαλία Θεωρίας: 3 ώρες/εβδομάδα
- Διδασκαλία Φροντιστήριο: 1 ώρες/εβδομάδα
- Πιστωτικές μονάδες ECTS: 7
- Γλώσσα διδασκαλίας και Εξετάσεων: Ελληνικά

Πληροφορίες για το Μάθημα (Φόρτος)

● Δραστηριότητα	Φόρτος εργασίας εξαμήνου
● Διαλέξεις	78 ώρες
● Φροντιστηριακές Ασκήσεις	26 ώρες
● Γραπτές Εξετάσεις	2 ώρες
● Γραπτές Εργασίες	34 ώρες
● Αυτοτελής Μελέτη	35 ώρες
● Σύνολο	175 ώρες (7 ECTS)

Κύριο Σύγγραμμα Μαθήματος (ΕΥΔΟΞΟΣ)






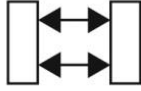
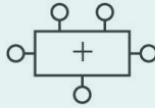
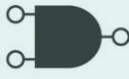
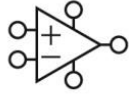


Ψηφιακή Σχεδίαση με τις Γλώσσες VHDL και Verilog

Συγγραφέας: Πογαρίδης Δημήτριος

Έτος Έκδοσης: 2019

Κωδικός στον Εύδοξο: **86192991**

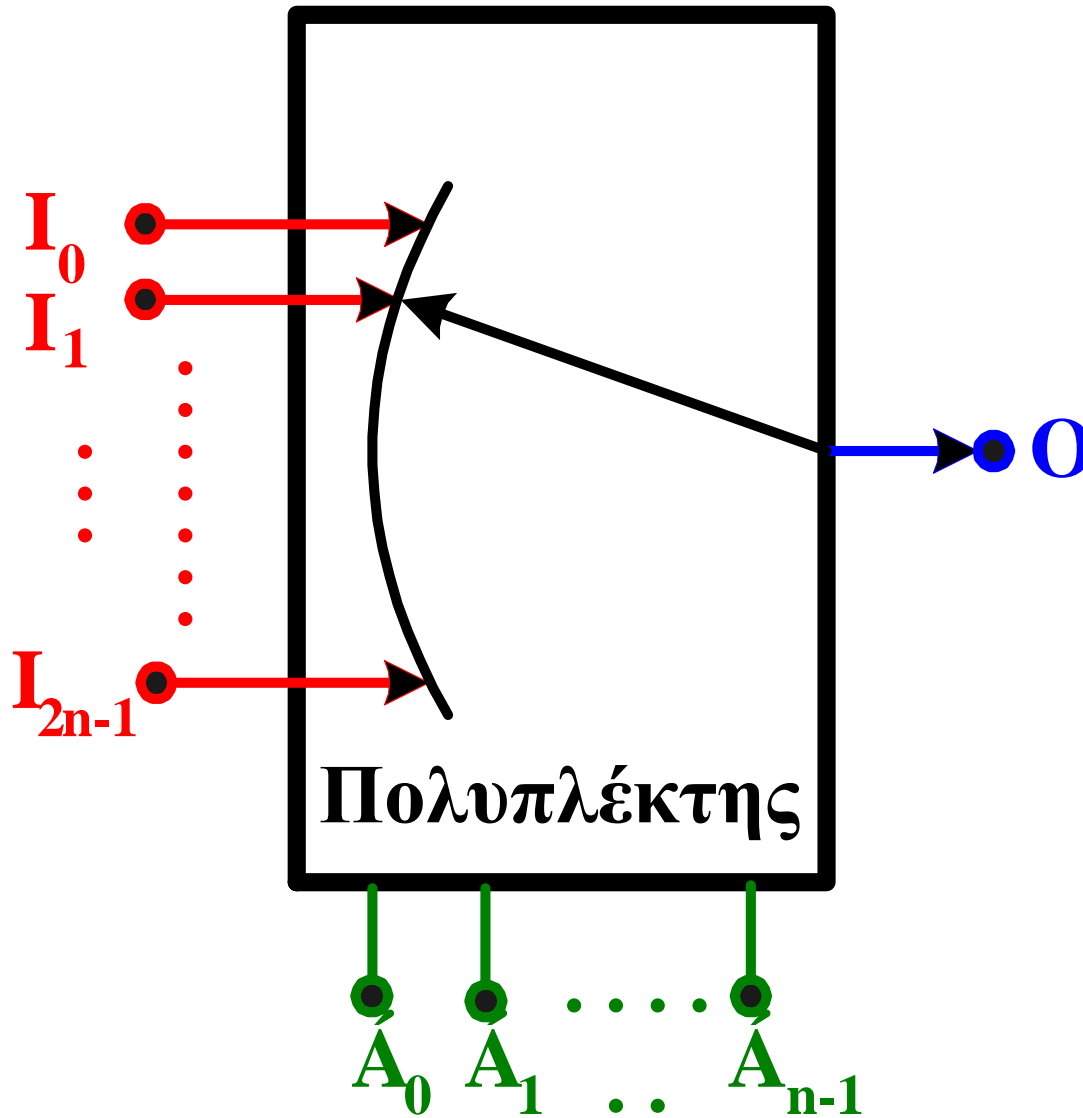
Επίπεδα Αφαίρεσης

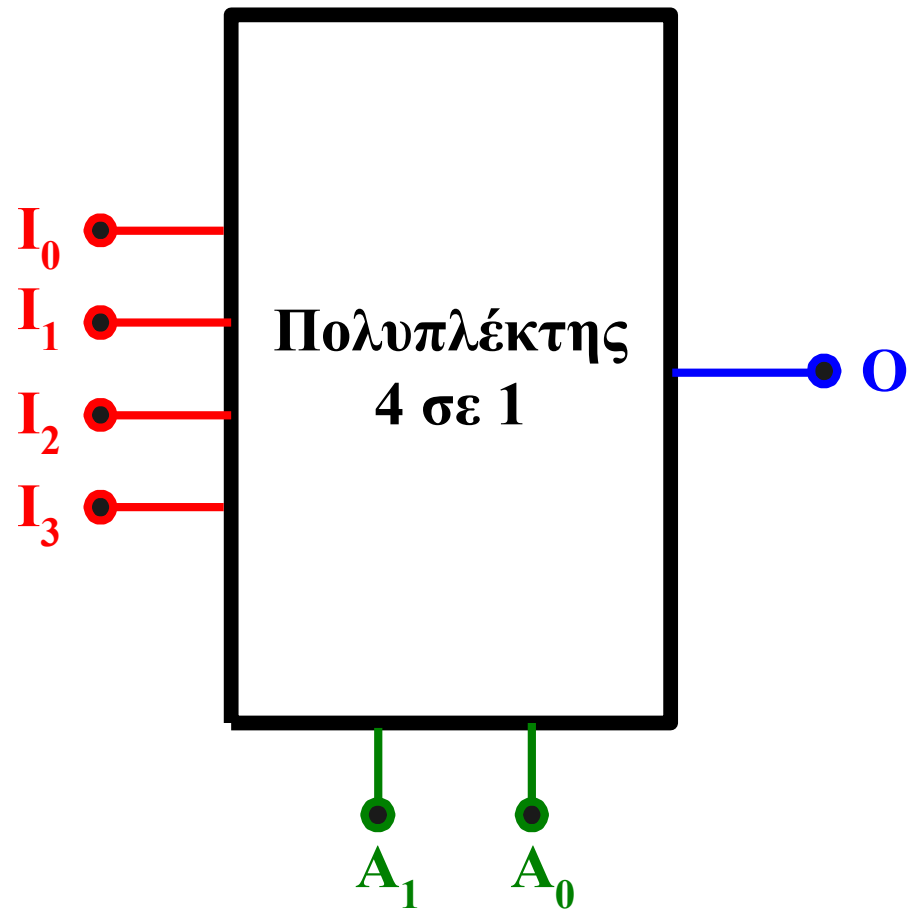
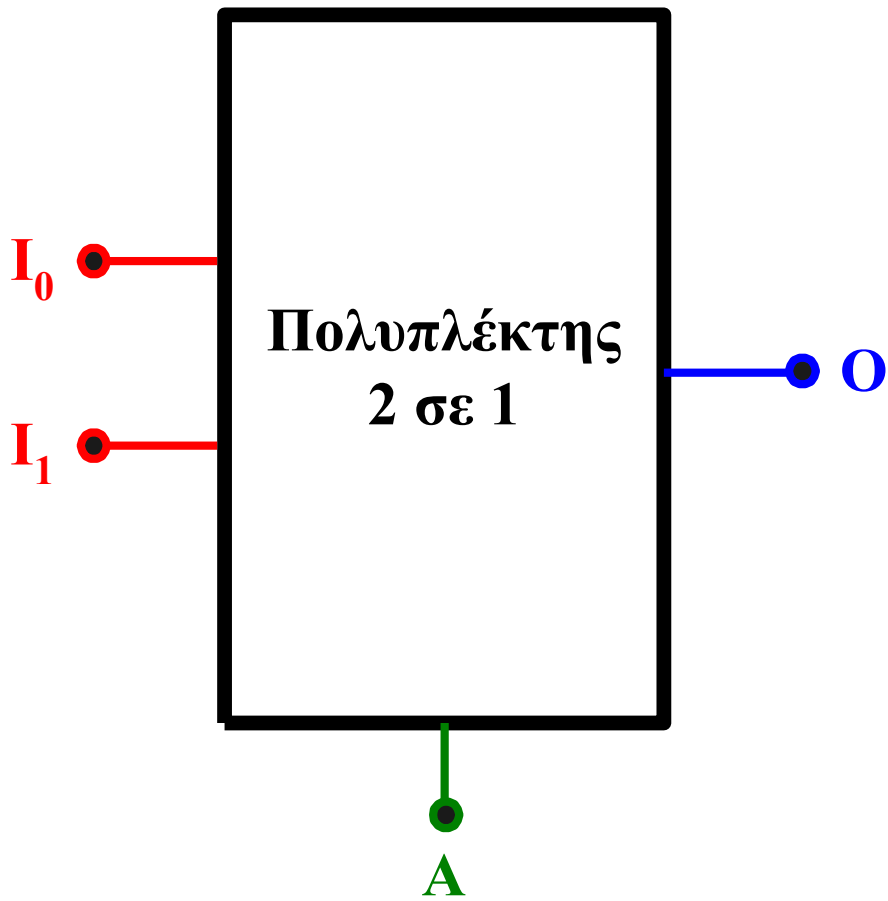
Application Software		Programs
Operating Systems		Device Drivers
Architecture		Instructions Registers
Micro-architecture		Datapaths Controllers
Logic		Adders Memories
Digital Circuits		AND Gates NOT Gates
Analog Circuits		Amplifiers Filters
Devices		Transistors Diodes
Physics		Electrons

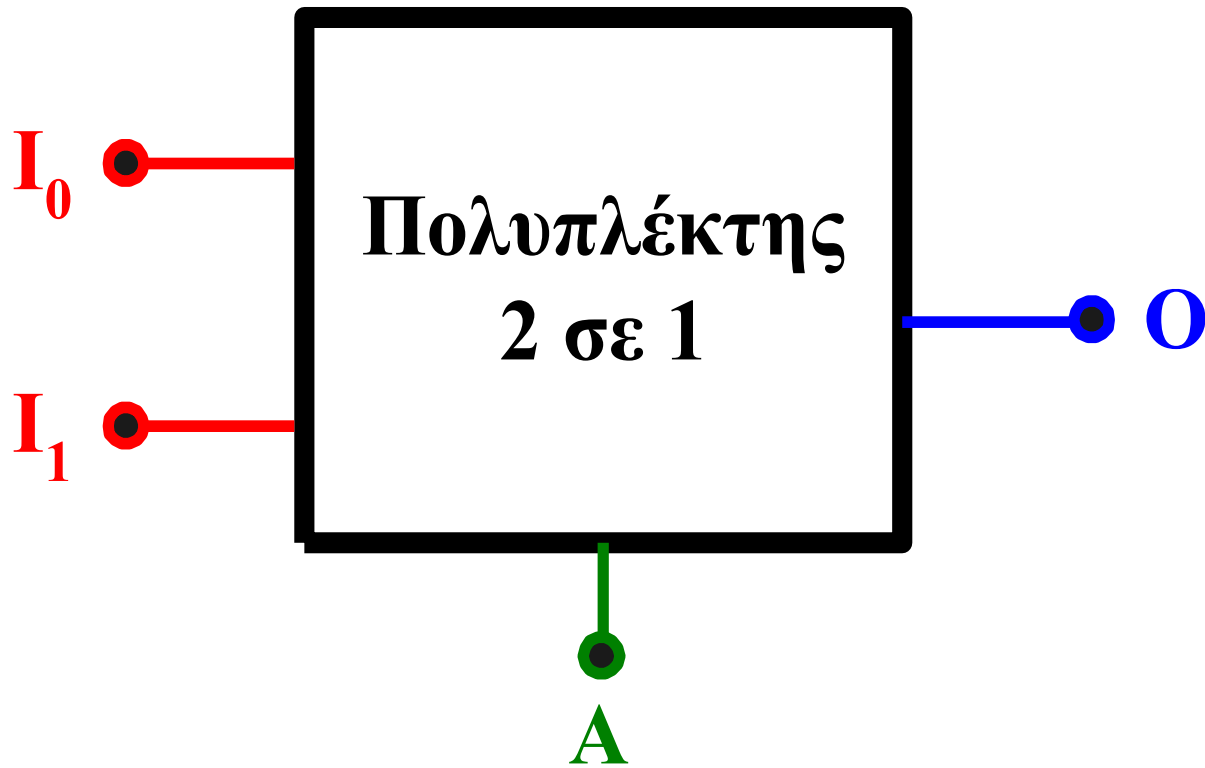
Copyright © 2016 Elsevier Ltd. All rights reserved.

Βασικά Συνδυαστικά κυκλώματα

Πολυπλέκτης



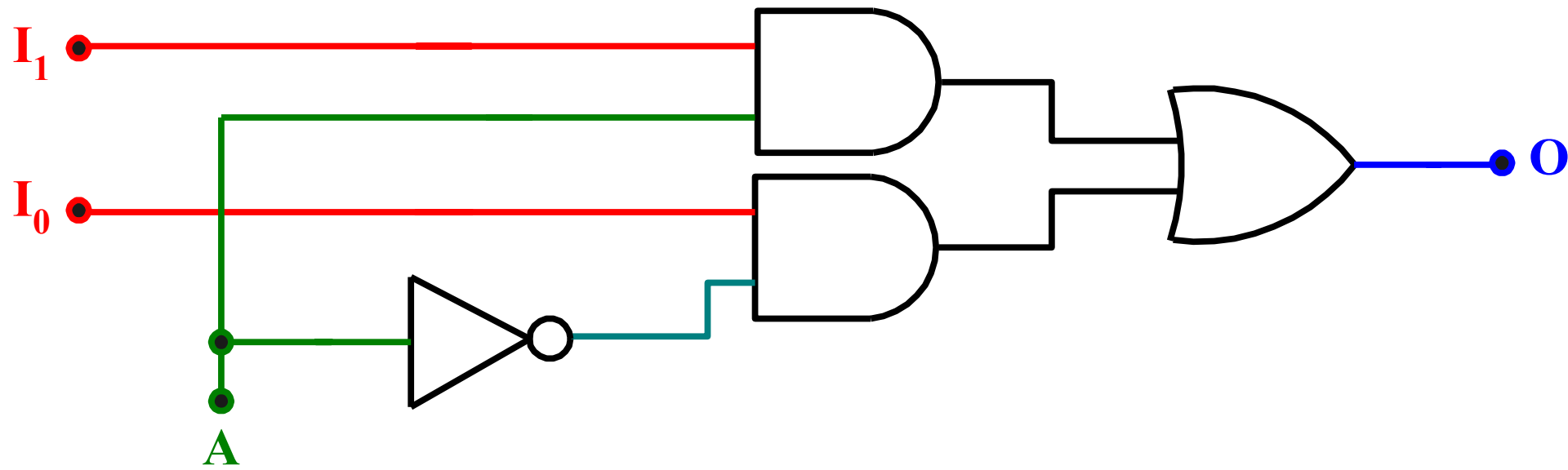


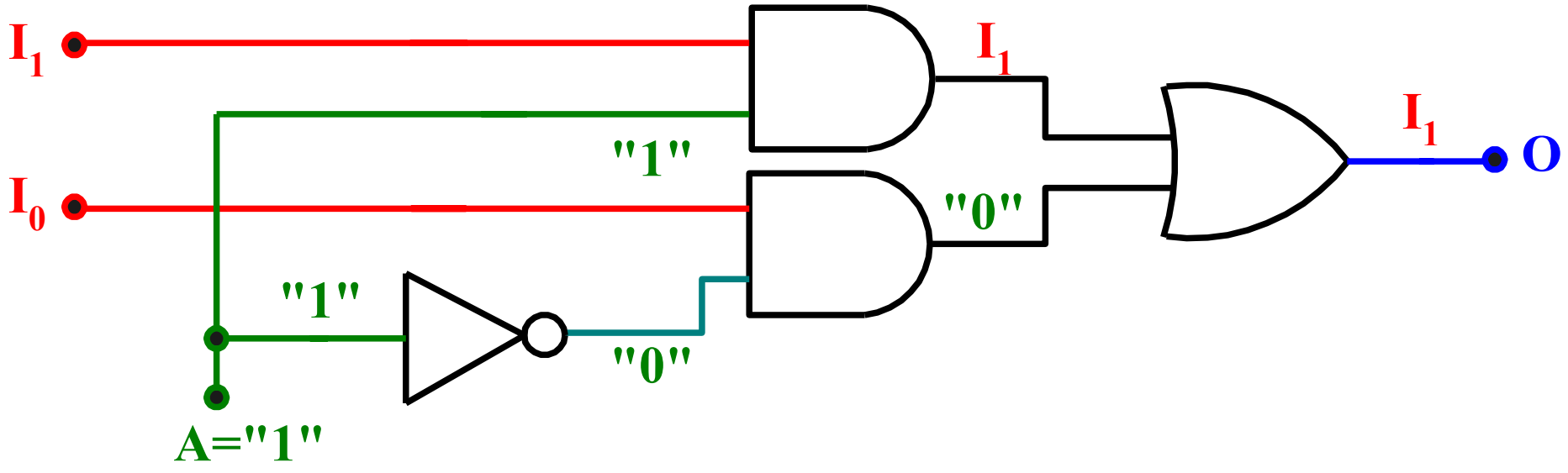
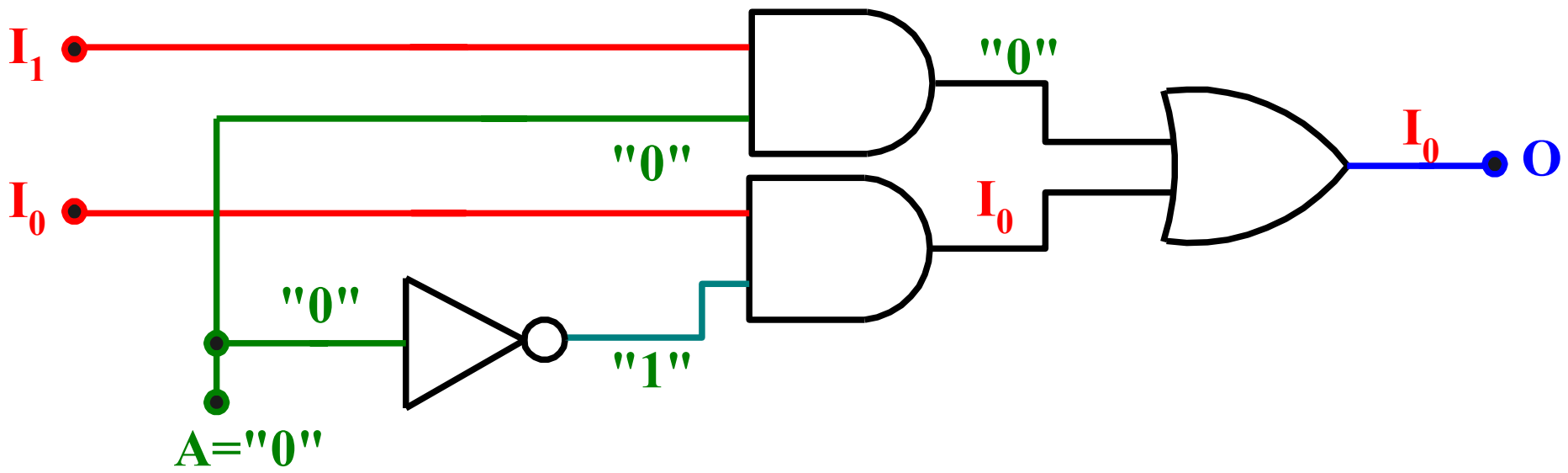


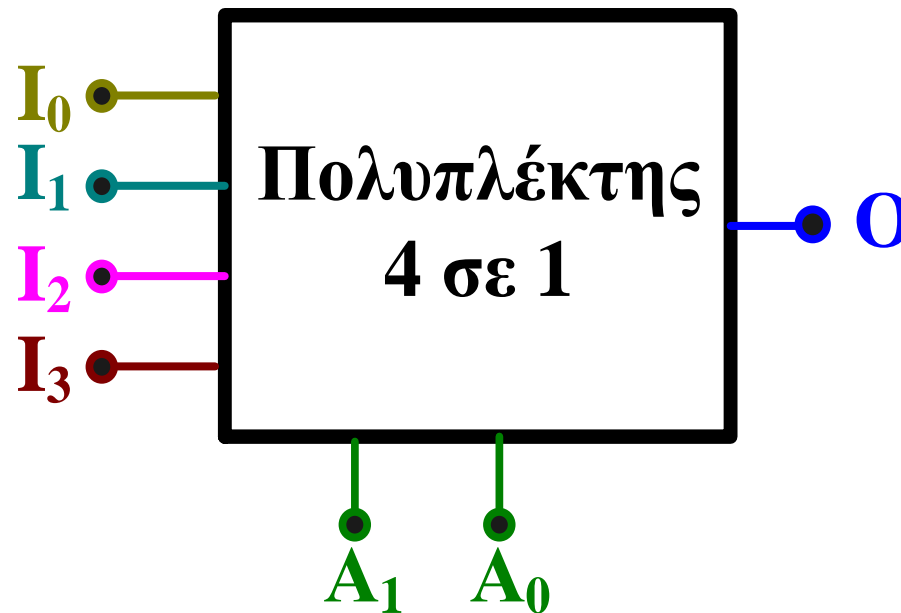
Είσοδοι	Είσοδοι διευθύνσεων	Έξοδος
	A	O
I ₀	0	I ₀
I ₁	1	I ₁

$$O = \bar{A} \cdot I_0 + A \cdot I_1$$

$$O = \bar{A} \cdot I_0 + A \cdot I_1$$



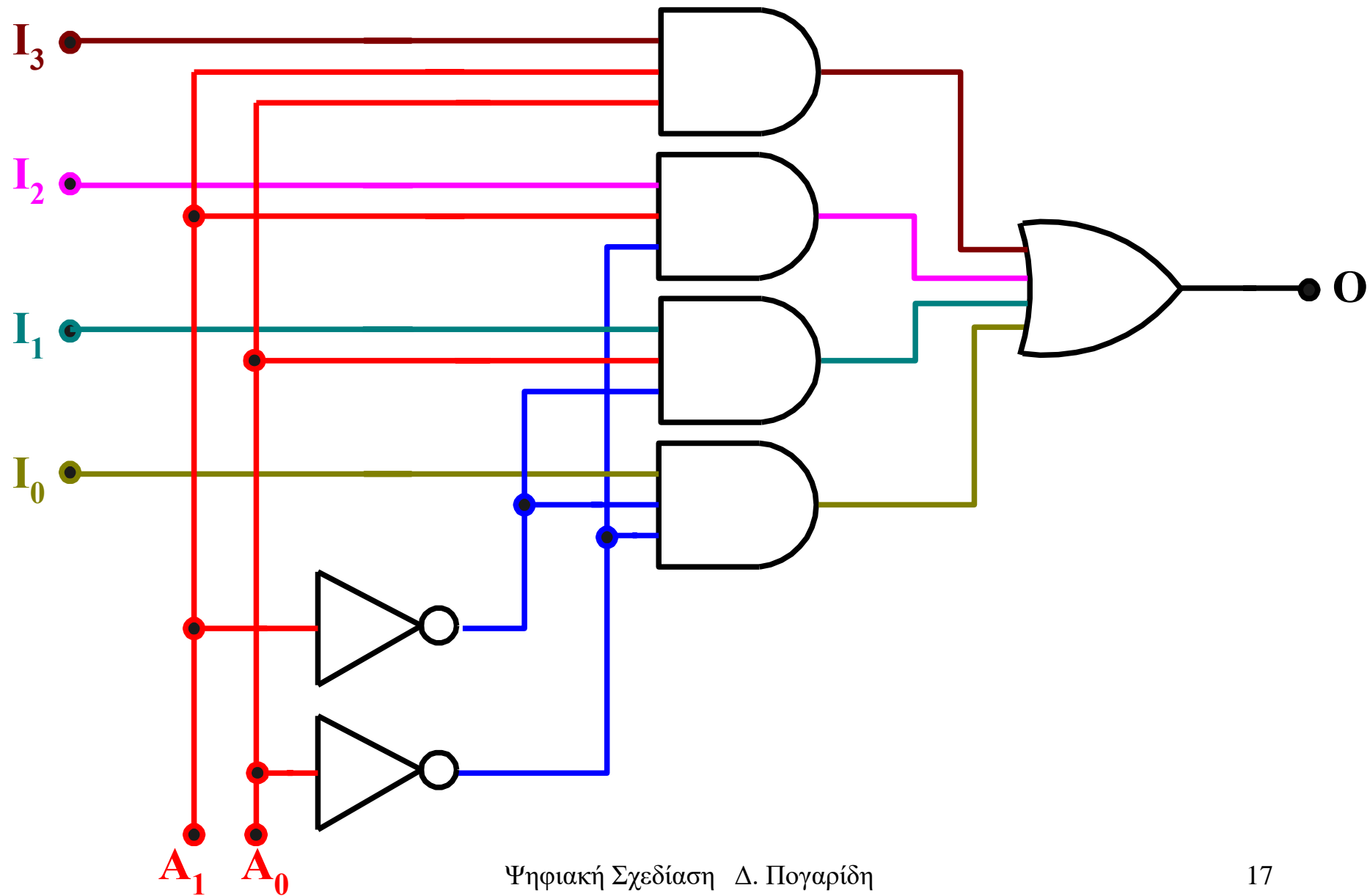


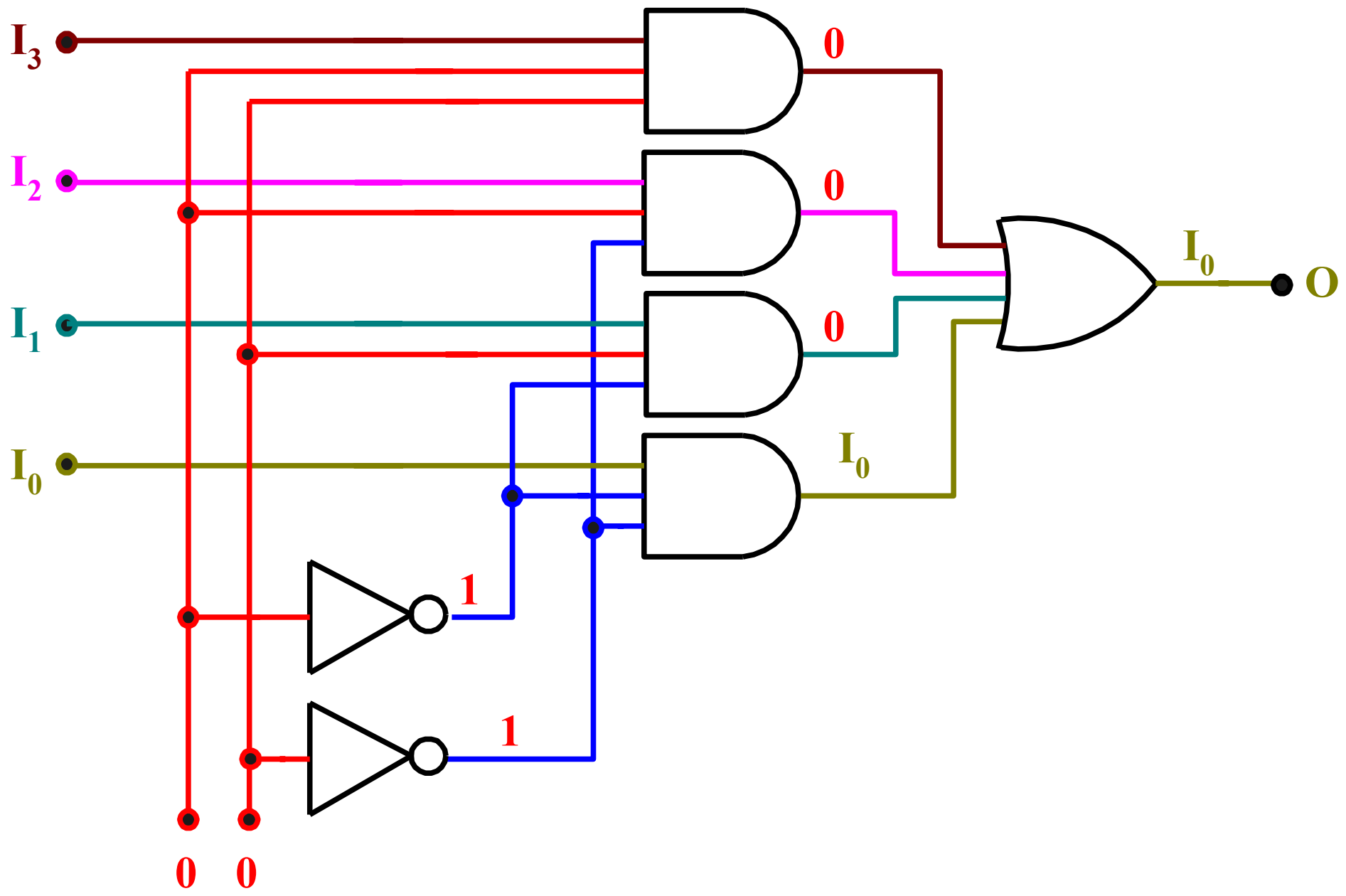


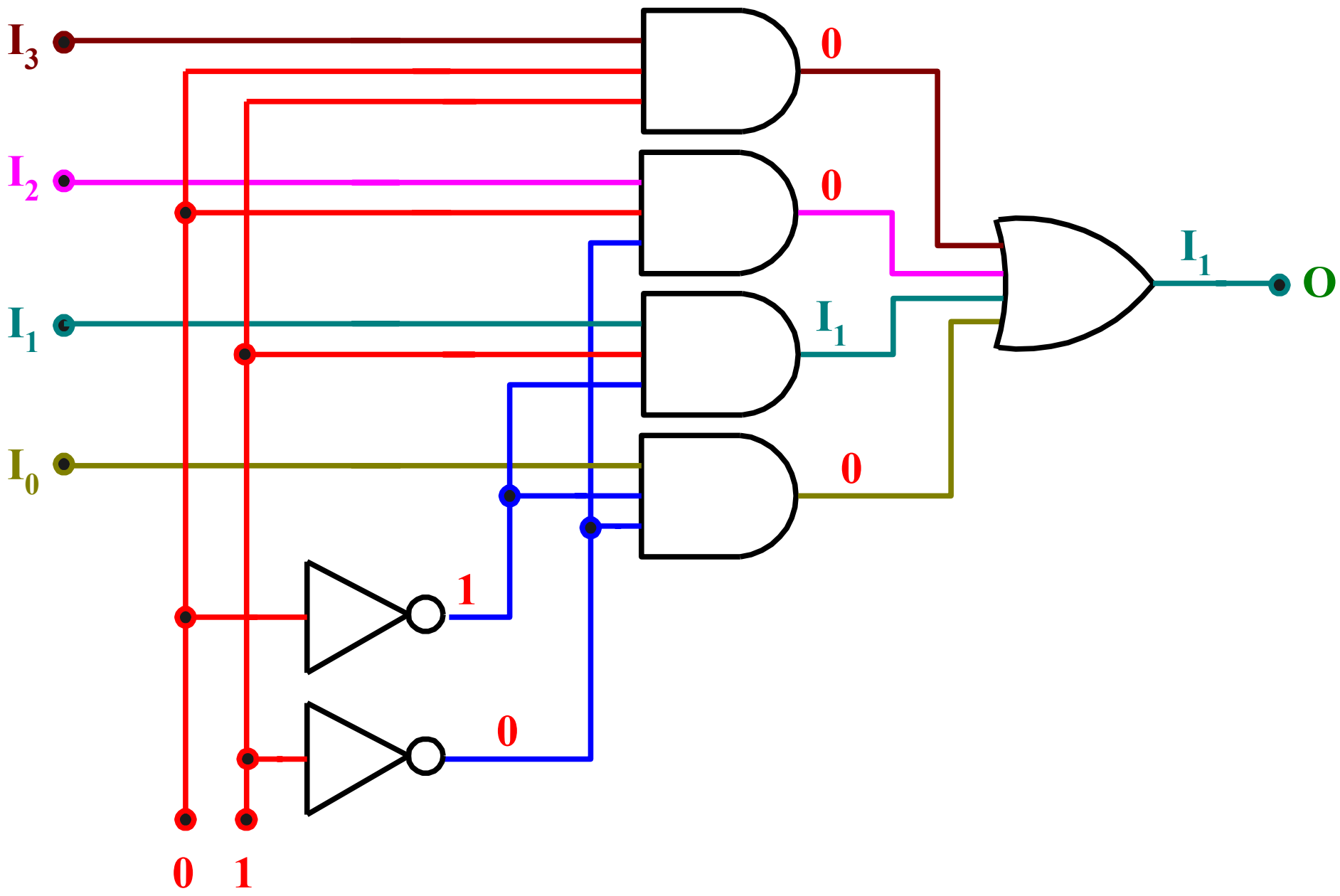
Είσοδοι διευθύνσεων		Έξοδος
A_1	A_0	O
0	0	I_0
0	1	I_1
1	0	I_2
1	1	I_3

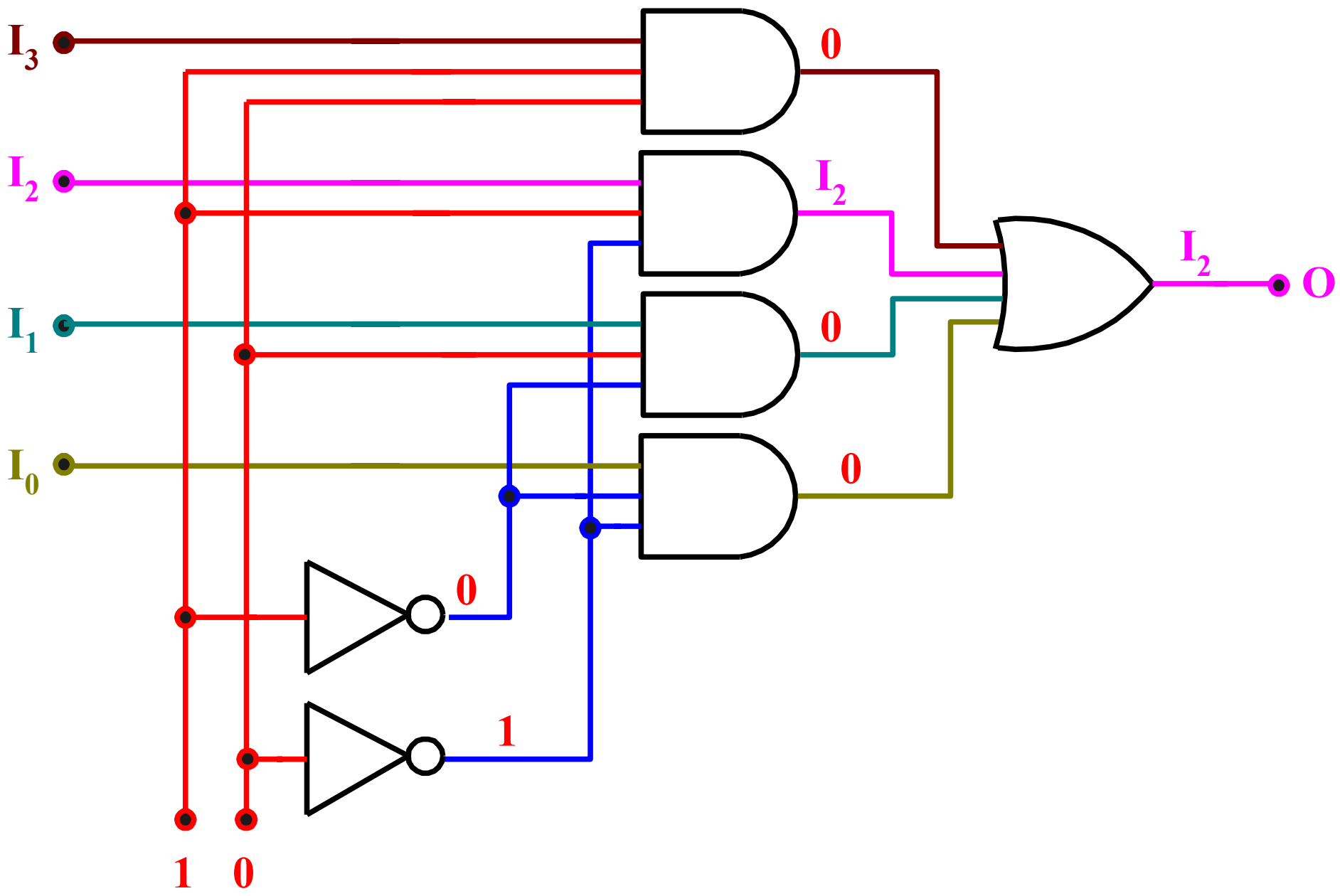
$$O = \bar{A}_1 \cdot \bar{A}_0 \cdot I_0 + \bar{A}_1 \cdot A_0 \cdot I_1 + A_1 \cdot \bar{A}_0 \cdot I_2 + A_1 \cdot A_0 \cdot I_3$$

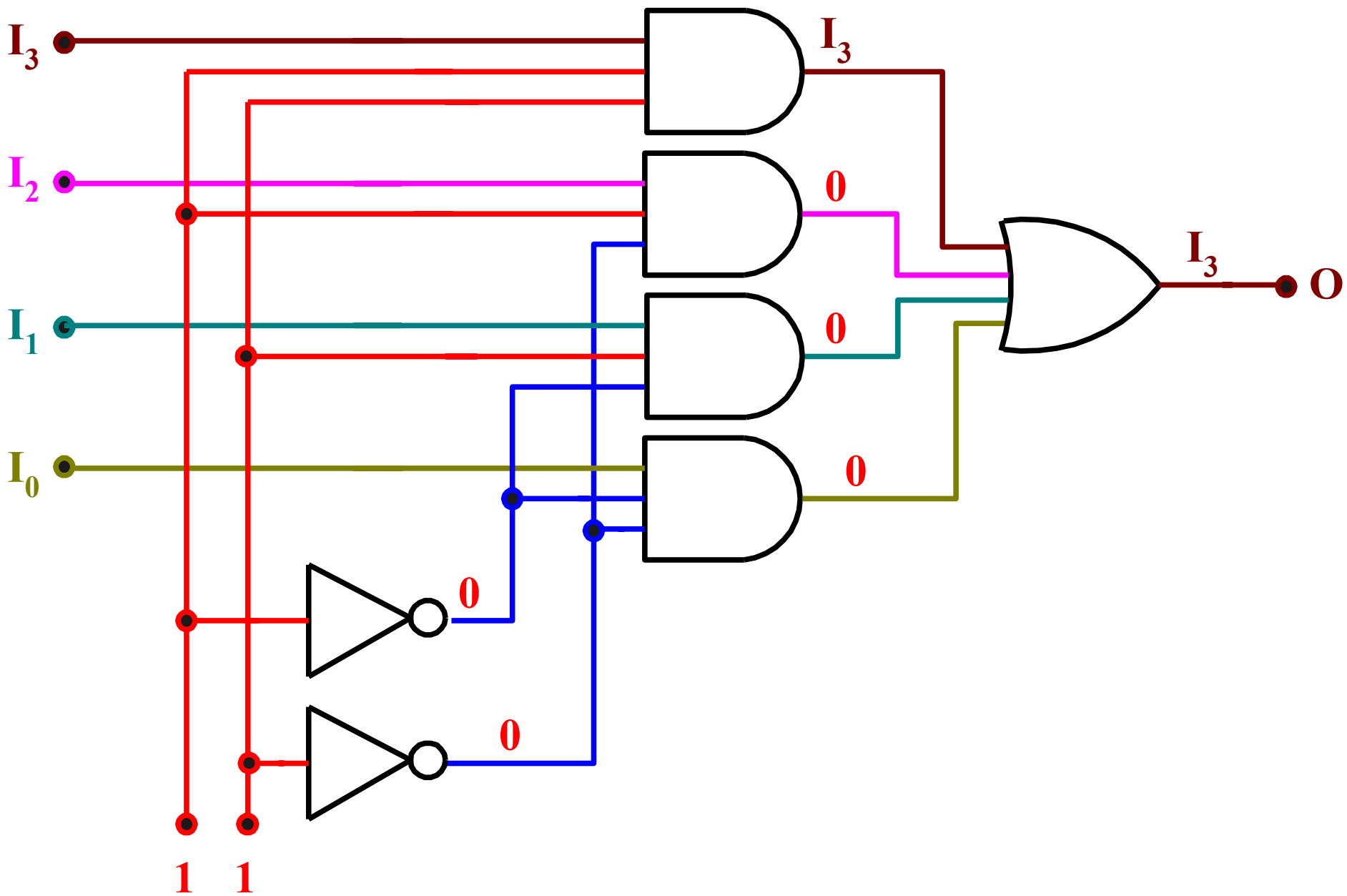
$$O = \bar{A}_1 \cdot \bar{A}_0 \cdot I_0 + \bar{A}_1 \cdot A_0 \cdot I_1 + A_1 \cdot \bar{A}_0 \cdot I_2 + A_1 \cdot A_0 \cdot I_3$$











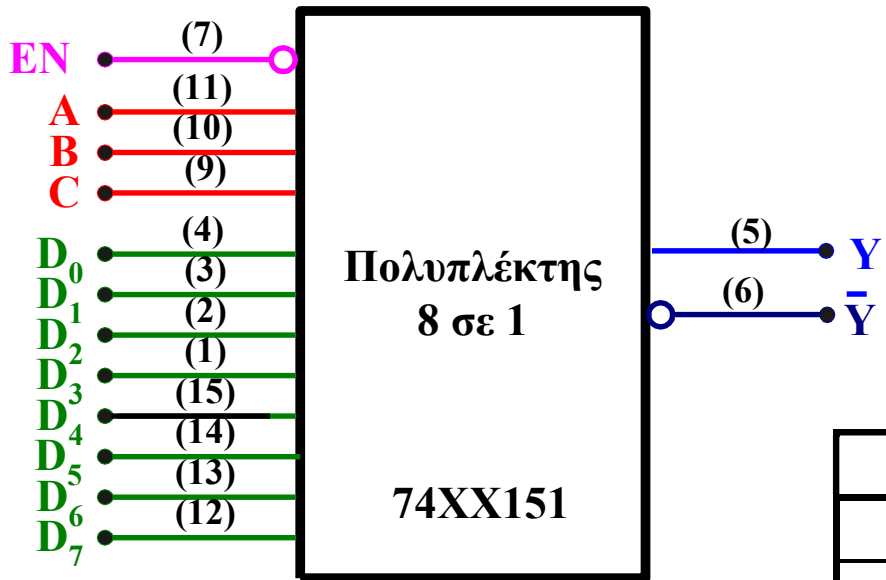
Πολυπλέκτης 8 σε 1

Πίνακας Αληθείας

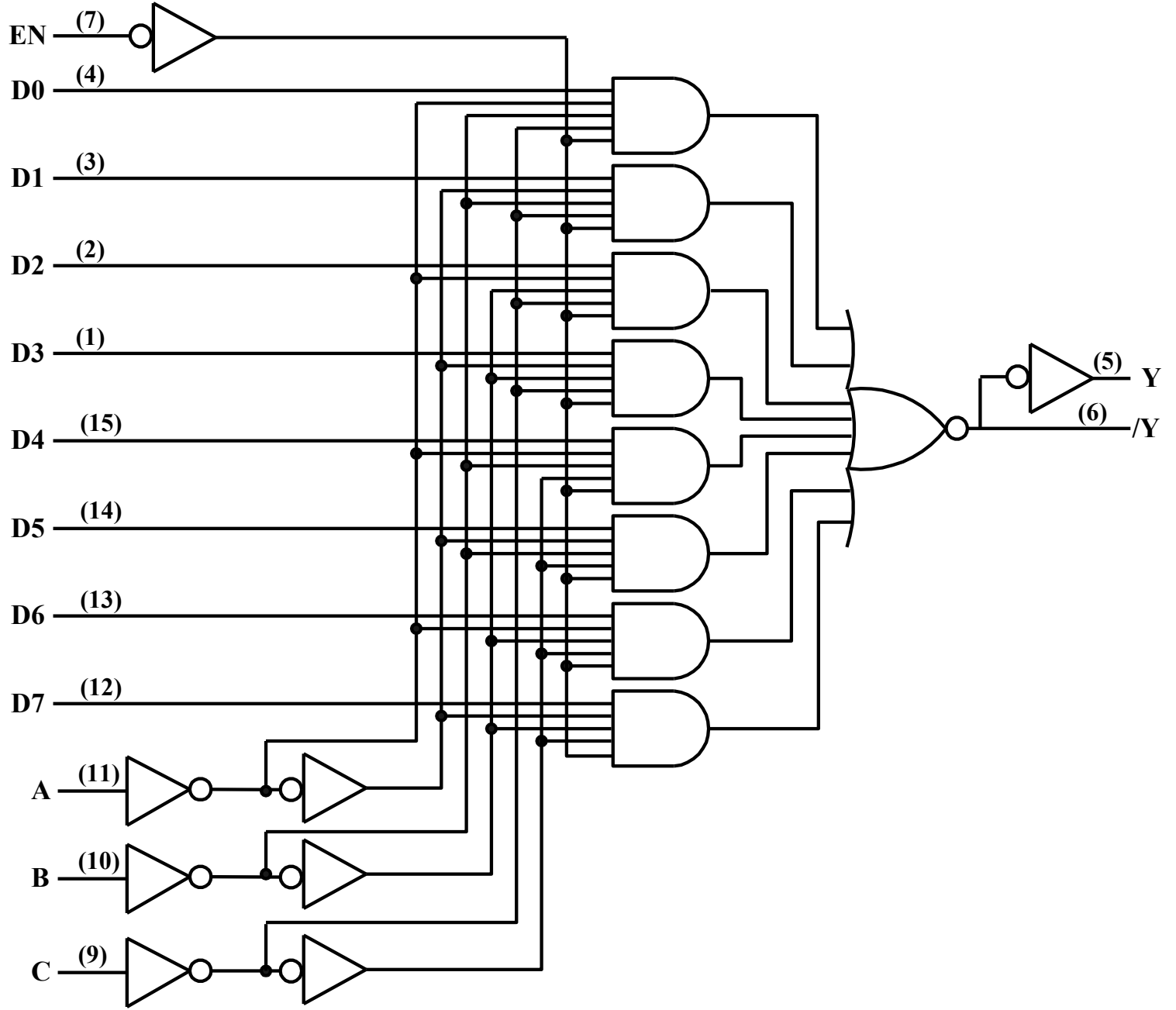
Είσοδοι			Έξοδος
A_2	A_1	A_0	O
0	0	0	I0
0	0	1	I1
0	1	0	I2
0	1	1	I3
1	0	0	I4
1	0	1	I5
1	1	0	I6
1	1	1	I7

$$O = \bar{A}_2 \cdot \bar{A}_1 \cdot \bar{A}_0 \cdot I_0 + \bar{A}_2 \cdot \bar{A}_1 \cdot A_0 \cdot I_1 + \bar{A}_2 \cdot A_1 \cdot \bar{A}_0 \cdot I_2 + \bar{A}_2 \cdot A_1 \cdot A_0 \cdot I_3 \\ + A_2 \cdot \bar{A}_1 \cdot \bar{A}_0 \cdot I_4 + A_2 \cdot \bar{A}_1 \cdot A_0 \cdot I_5 + A_2 \cdot A_1 \cdot \bar{A}_0 \cdot I_6 + A_2 \cdot A_1 \cdot A_0 \cdot I_7$$

Πολυπλέκτης 74XX151



Είσοδοι				Έξοδοι	
$\overline{/EN}$	C	B	A	Y	$\overline{/Y}$
1	X	X	X	0	1
0	0	0	0	D0	$\overline{D0}$
0	0	0	1	D1	$\overline{D1}$
0	0	1	0	D2	$\overline{D2}$
0	0	1	1	D3	$\overline{D3}$
0	1	0	0	D4	$\overline{D4}$
0	1	0	1	D5	$\overline{D5}$
0	1	1	0	D6	$\overline{D6}$
0	1	1	1	D7	$\overline{D7}$



Παράδειγμα 4.13

Να υλοποιηθεί, χρησιμοποιώντας τον πολυπλέκτη 74XX151, το λογικό κύκλωμα του οποίου η λειτουργία περιγράφεται από τον παρακάτω πίνακα αληθείας. Να συγκριθεί η μέθοδος αυτή με την υλοποίηση του κυκλώματος με διακριτές πύλες.

Είσοδοι				Έξοδος
Δεκαδικός	A_2	A_1	A_0	Y
0	0	0	0	0
1	0	0	1	1
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	0

Είσοδοι				Έξοδος
Δεκαδικός	A₂	A₁	A₀	Y
0	0	0	0	0
1	0	0	1	1
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	0

$$Y = \Sigma(1,3,5,6)$$

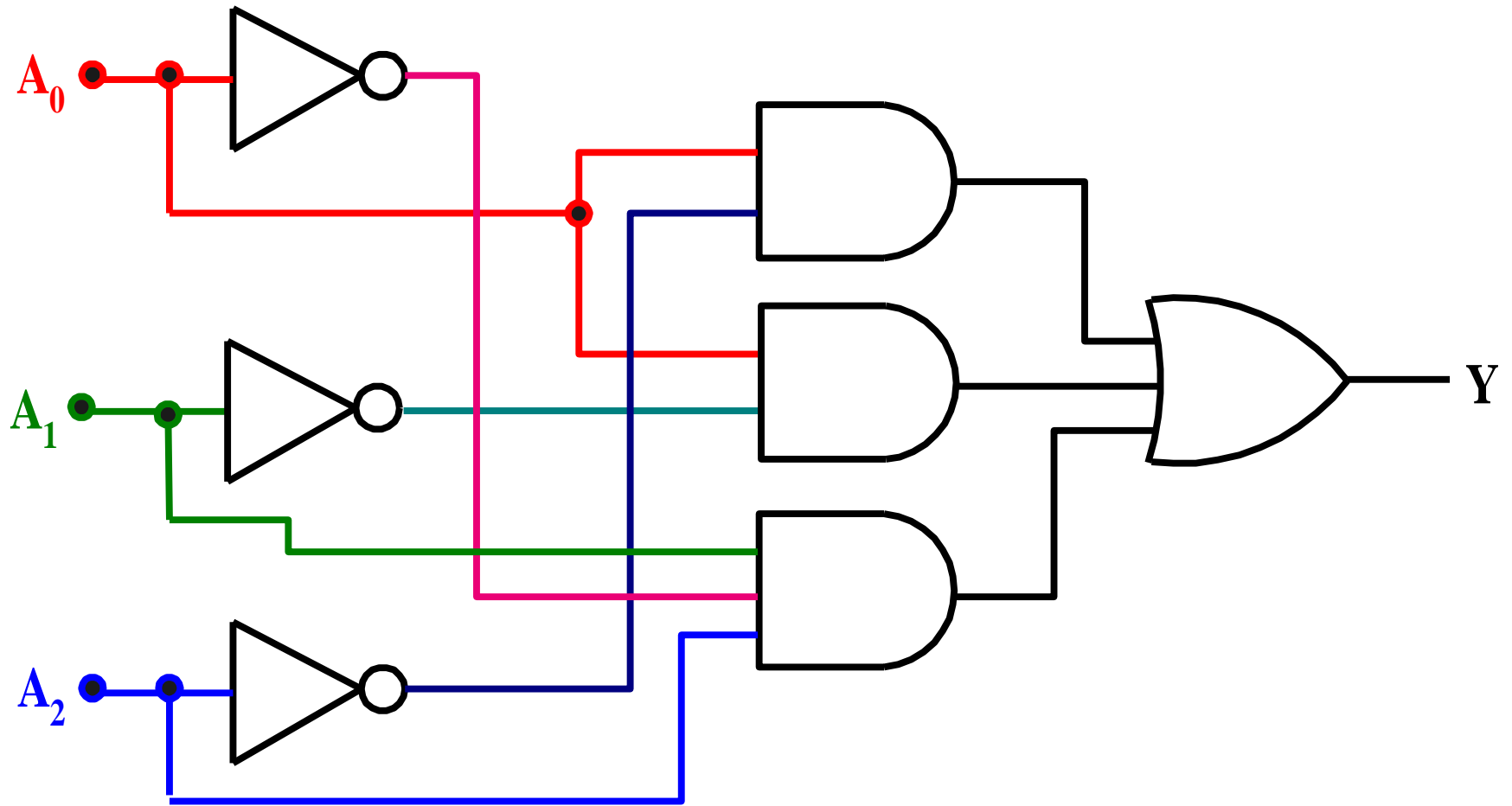
$$Y = \Sigma(1,3,5,6)$$

	$A_2 A_1$	00	01	11	10
A_0	0	0	0	1	0
1	1	1	0	1	

The table above represents a Karnaugh map for the function $Y = \Sigma(1,3,5,6)$. The columns are labeled with $A_2 A_1$ (00, 01, 11, 10) and the rows with A_0 (0, 1). The cells containing 1 are at (0, 11), (1, 00), (1, 01), and (1, 10). A blue square highlights the cell (0, 11). A green square highlights the cells (1, 00) and (1, 01). Two magenta lines highlight the cells (1, 00) and (1, 10), and (1, 01) and (1, 10).

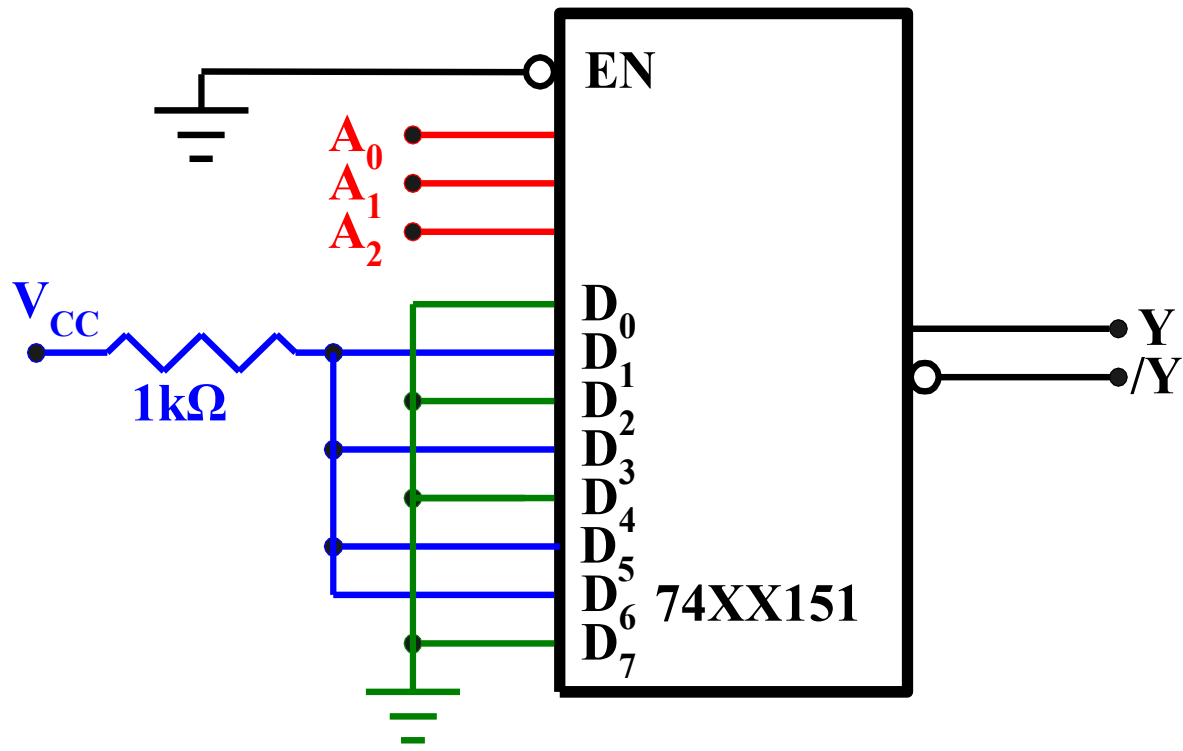
$$Y_{min} = \bar{A}_2 \cdot A_0 + \bar{A}_1 \cdot A_0 + A_2 \cdot A_1 \cdot \bar{A}_0$$

$$Y_{min} = \bar{A}_2 \cdot A_0 + \bar{A}_1 \cdot A_0 + A_2 \cdot A_1 \cdot \bar{A}_0$$



Αν πρόκειται να υλοποιηθεί μόνο με πύλες NAND χρειάζονται 7 πύλες NAND και αν πρόκειται να υλοποιηθεί μόνο με πύλες NOR χρειάζονται 8 πύλες NOR.

Είσοδοι				Έξοδος
Δεκαδικός	A ₂	A ₁	A ₀	Y
0	0	0	0	0
1	0	0	1	1
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	0



Παράδειγμα 4.14

Να υλοποιηθεί, χρησιμοποιώντας τον πολυπλέκτη 74XX151, το λογικό κύκλωμα του οποίου η λειτουργία περιγράφεται από τον πίνακα αληθείας, που ακολουθεί.

Να συγκριθεί η μέθοδος αυτή με την υλοποίηση του κυκλώματος με διακριτές πύλες.

Είσοδοι					Έξοδος
Δεκαδικός	A₃	A₂	A₁	A₀	Y
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	1
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	1
6	0	1	1	0	1
7	0	1	1	1	1
8	1	0	0	0	1
9	1	0	0	1	0
10	1	0	1	0	1
11	1	0	1	1	0
12	1	1	0	0	1
13	1	1	0	1	1
14	1	1	1	0	0
15	1	1	1	1	1

$$Y = \Sigma(1,2,5,6,7,8, 10,12,13,15)$$

$$Y = \Sigma(1,2,5,6,7,8,10,12,13,15)$$

		A_3A_2			
		00	01	11	10
A_1A_0	00	0	0	1	1
	01	1	1	1	0
	11	0	1	1	0
	10	1	1	0	1

$$Y_{min} = A_2 \cdot A_0 + A_3 \cdot \bar{A}_1 \cdot \bar{A}_0 + \bar{A}_3 \cdot \bar{A}_1 \cdot A_0 + \bar{A}_3 \cdot A_1 \cdot \bar{A}_0 + A_3 \cdot \bar{A}_2 \cdot \bar{A}_0$$

Για να υλοποιηθεί το ελάχιστο κύκλωμα με πύλες OR, AND και NOT, με βάση την ελάχιστη συνάρτηση Y_{min} χρειάζονται 4 πύλες NOT, 5 πύλες AND τριών εισόδων και μία πύλη OR πέντε εισόδων.

Είσοδοι					Έξοδος	
Δεκαδικός	A ₃	A ₂	A ₁	A ₀	Y	F=Y
0	0	0	0	0	0	A ₀
1	0	0	0	1	1	
2	0	0	1	0	1	
3	0	0	1	1	0	
4	0	1	0	0	0	
5	0	1	0	1	1	
6	0	1	1	0	1	
7	0	1	1	1	1	
8	1	0	0	0	1	
9	1	0	0	1	0	
10	1	0	1	0	1	
11	1	0	1	1	0	
12	1	1	0	0	1	
13	1	1	0	1	1	
14	1	1	1	0	0	
15	1	1	1	1	1	

Είσοδοι					Έξοδος	
Δεκαδικός	A ₃	A ₂	A ₁	A ₀	Y	F=Y
0	0	0	0	0	0	A ₀
1	0	0	0	1	1	
2	0	0	1	0	1	Όχι A ₀
3	0	0	1	1	0	
4	0	1	0	0	0	
5	0	1	0	1	1	
6	0	1	1	0	1	
7	0	1	1	1	1	
8	1	0	0	0	1	
9	1	0	0	1	0	
10	1	0	1	0	1	
11	1	0	1	1	0	
12	1	1	0	0	1	
13	1	1	0	1	1	
14	1	1	1	0	0	
15	1	1	1	1	1	

Είσοδοι					Έξοδος	
Δεκαδικός	A ₃	A ₂	A ₁	A ₀	Y	F=Y
0	0	0	0	0	0	A ₀
1	0	0	0	1	1	
2	0	0	1	0	1	Όχι A ₀
3	0	0	1	1	0	
4	0	1	0	0	0	A ₀
5	0	1	0	1	1	
6	0	1	1	0	1	
7	0	1	1	1	1	
8	1	0	0	0	1	
9	1	0	0	1	0	
10	1	0	1	0	1	
11	1	0	1	1	0	
12	1	1	0	0	1	
13	1	1	0	1	1	
14	1	1	1	0	0	
15	1	1	1	1	1	

Είσοδοι					Έξοδος	
Δεκαδικός	A_3	A_2	A_1	A_0	Y	F=Y
0	0	0	0	0	0	A_0
1	0	0	0	1	1	
2	0	0	1	0	1	Όχι A_0
3	0	0	1	1	0	
4	0	1	0	0	0	A_0
5	0	1	0	1	1	
6	0	1	1	0	1	1
7	0	1	1	1	1	
8	1	0	0	0	1	
9	1	0	0	1	0	
10	1	0	1	0	1	
11	1	0	1	1	0	
12	1	1	0	0	1	
13	1	1	0	1	1	
14	1	1	1	0	0	
15	1	1	1	1	1	

Είσοδοι					Έξοδος	
Δεκαδικός	A_3	A_2	A_1	A_0	Y	F=Y
0	0	0	0	0	0	A_0
1	0	0	0	1	1	
2	0	0	1	0	1	Όχι A_0
3	0	0	1	1	0	
4	0	1	0	0	0	A_0
5	0	1	0	1	1	
6	0	1	1	0	1	1
7	0	1	1	1	1	
8	1	0	0	0	1	Όχι A_0
9	1	0	0	1	0	
10	1	0	1	0	1	
11	1	0	1	1	0	
12	1	1	0	0	1	
13	1	1	0	1	1	
14	1	1	1	0	0	
15	1	1	1	1	1	

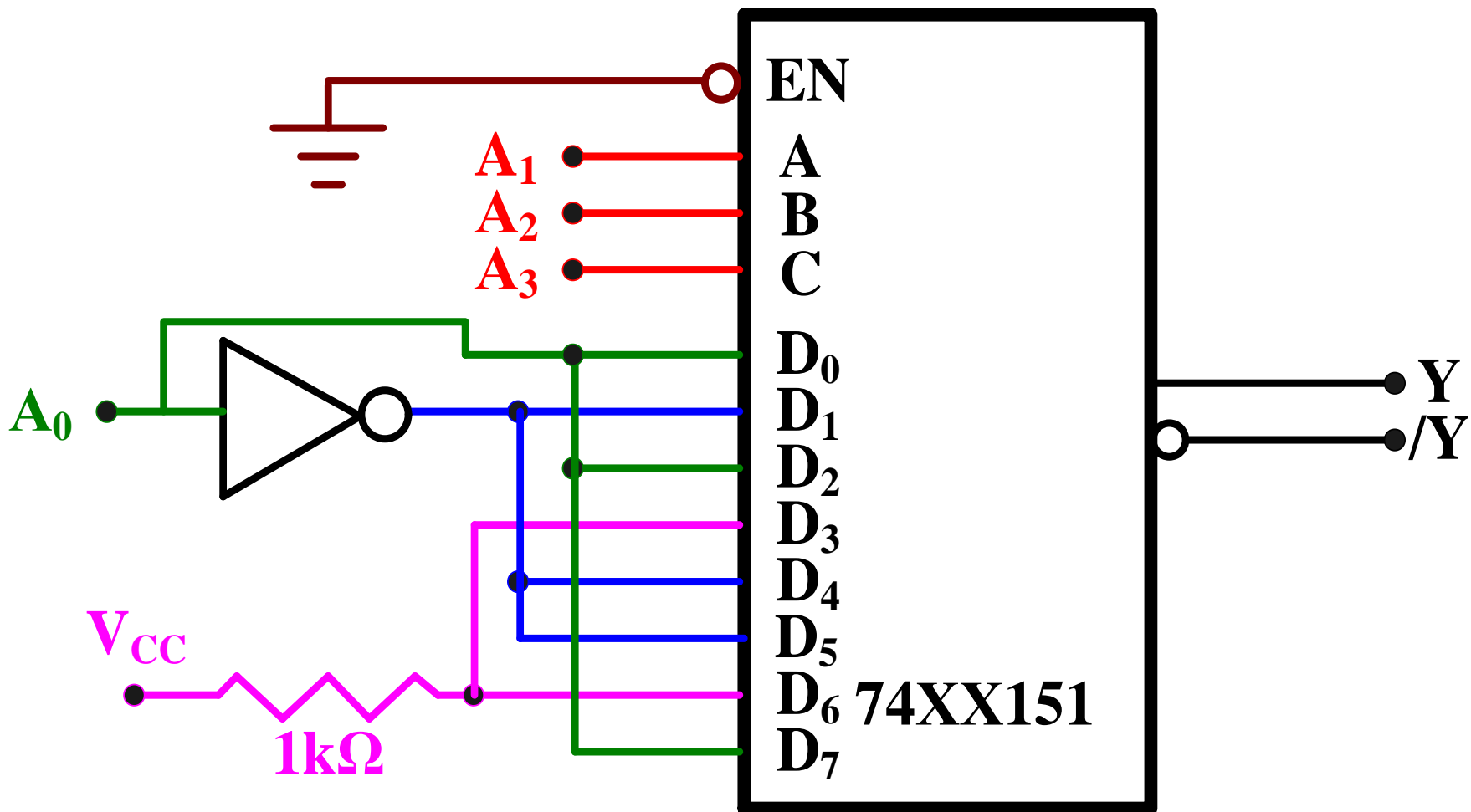
Είσοδοι					Έξοδος	
Δεκαδικός	A_3	A_2	A_1	A_0	Y	F=Y
0	0	0	0	0	0	A_0
1	0	0	0	1	1	
2	0	0	1	0	1	Όχι A_0
3	0	0	1	1	0	
4	0	1	0	0	0	A_0
5	0	1	0	1	1	
6	0	1	1	0	1	1
7	0	1	1	1	1	
8	1	0	0	0	1	Όχι A_0
9	1	0	0	1	0	
10	1	0	1	0	1	Όχι A_0
11	1	0	1	1	0	
12	1	1	0	0	1	
13	1	1	0	1	1	
14	1	1	1	0	0	
15	1	1	1	1	1	

Είσοδοι					Έξοδος	
Δεκαδικός	A_3	A_2	A_1	A_0	Y	F=Y
0	0	0	0	0	0	A_0
1	0	0	0	1	1	
2	0	0	1	0	1	Όχι A_0
3	0	0	1	1	0	
4	0	1	0	0	0	A_0
5	0	1	0	1	1	
6	0	1	1	0	1	1
7	0	1	1	1	1	
8	1	0	0	0	1	Όχι A_0
9	1	0	0	1	0	
10	1	0	1	0	1	Όχι A_0
11	1	0	1	1	0	
12	1	1	0	0	1	1
13	1	1	0	1	1	
14	1	1	1	0	0	
15	1	1	1	1	1	

Είσοδοι					Έξοδος	
Δεκαδικός	A_3	A_2	A_1	A_0	Y	F=Y
0	0	0	0	0	0	A_0
1	0	0	0	1	1	
2	0	0	1	0	1	Όχι A_0
3	0	0	1	1	0	
4	0	1	0	0	0	A_0
5	0	1	0	1	1	
6	0	1	1	0	1	1
7	0	1	1	1	1	
8	1	0	0	0	1	Όχι A_0
9	1	0	0	1	0	
10	1	0	1	0	1	Όχι A_0
11	1	0	1	1	0	
12	1	1	0	0	1	1
13	1	1	0	1	1	
14	1	1	1	0	0	A_0
15	1	1	1	1	1	

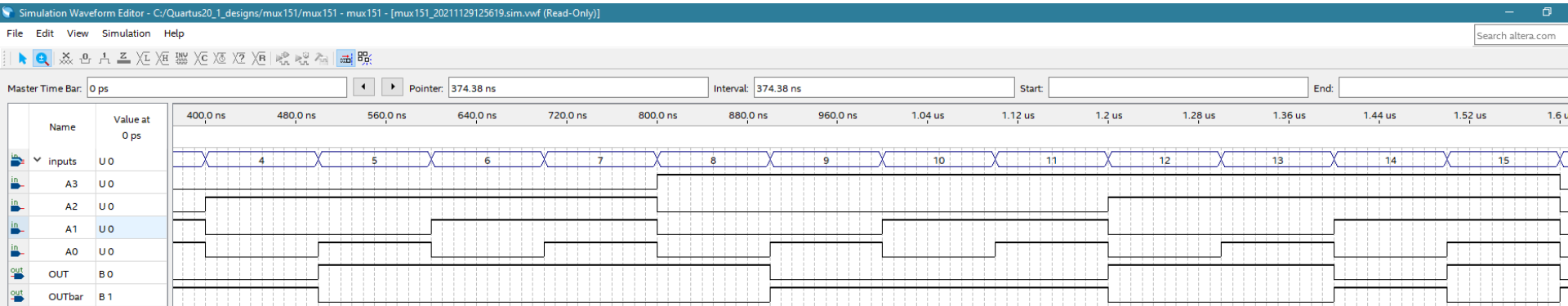
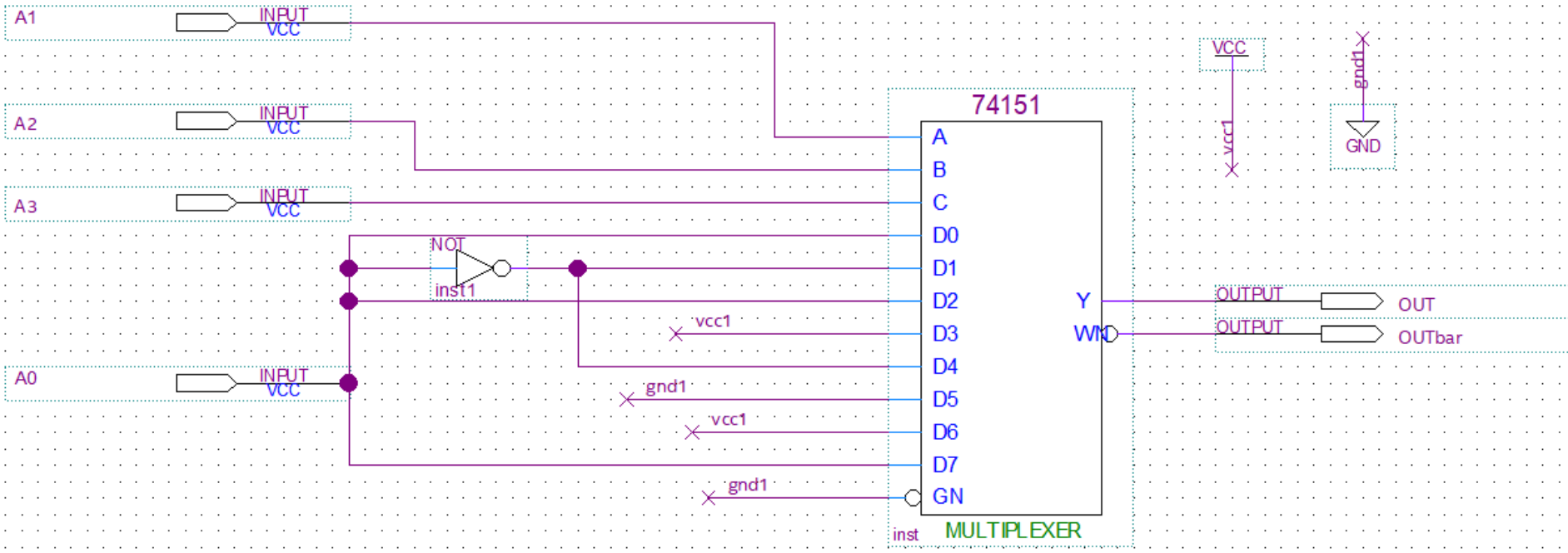
Είσοδοι					Έξοδος	
Δεκαδικός	A ₃	A ₂	A ₁	A ₀	Y	F=Y
0	0	0	0	0	0	A ₀ →D ₀
1	0	0	0	1	1	
2	0	0	1	0	1	Όχι A ₀ →D ₁
3	0	0	1	1	0	
4	0	1	0	0	0	A ₀ →D ₂
5	0	1	0	1	1	
6	0	1	1	0	1	1→D ₃
7	0	1	1	1	1	
8	1	0	0	0	1	Όχι A ₀ →D ₄
9	1	0	0	1	0	
10	1	0	1	0	1	Όχι A ₀ →D ₅
11	1	0	1	1	0	
12	1	1	0	0	1	1→D ₆
13	1	1	0	1	1	
14	1	1	1	0	0	A ₀ →D ₇
15	1	1	1	1	1	

Κύκλωμα

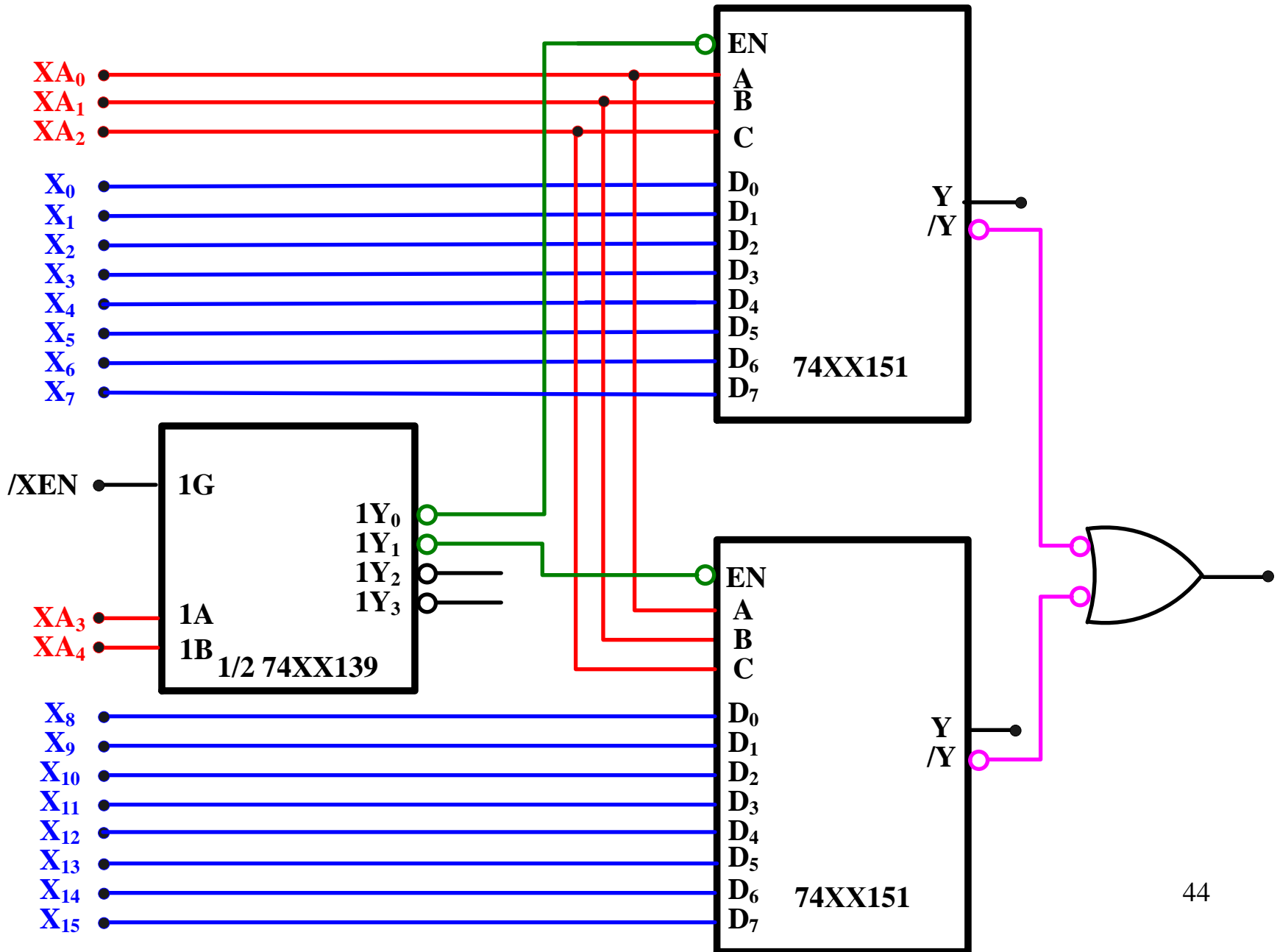


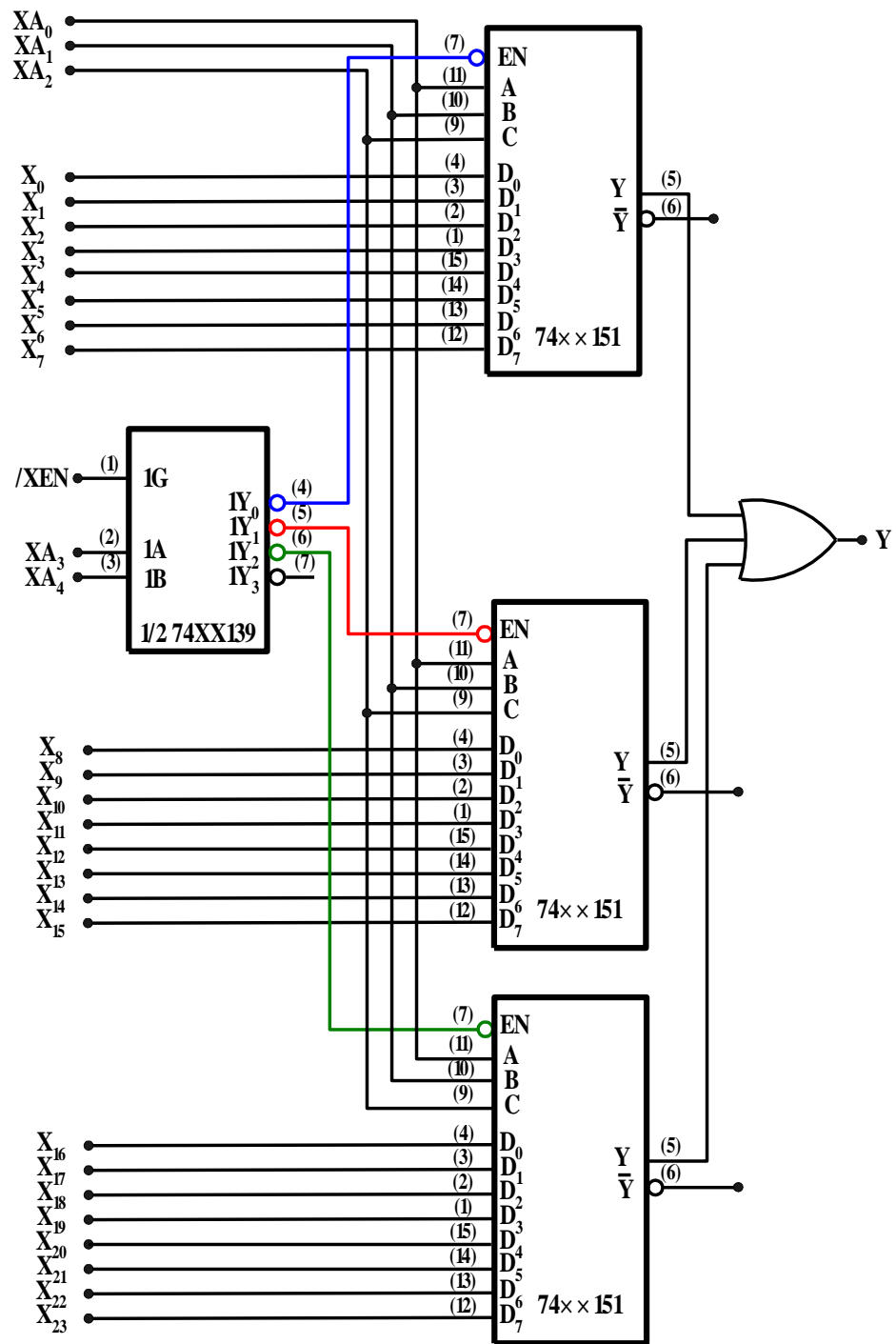
Πίνακας

Quartus Prime (παράδειγμα 4.14)



Επέκταση πολυπλεκτών



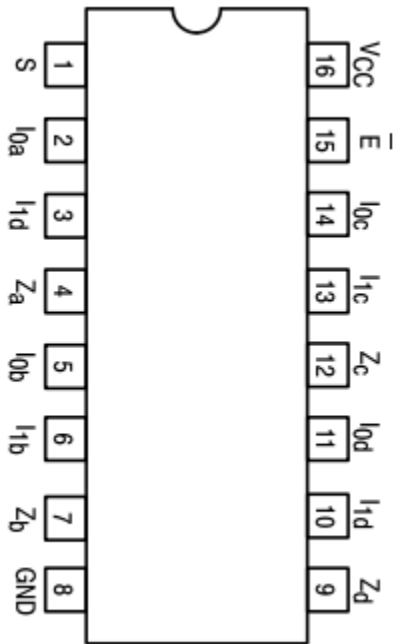




MOTOROLA

QUAD 2-INPUT MULTIPLEXER

CONNECTION DIAGRAM DIP (TOP VIEW)



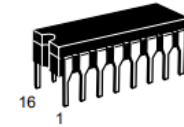
PIN NAMES

S
E
 I_{0a}–I_{0d}
 I_{1a}–I_{1d}
 Z_a–Z_d

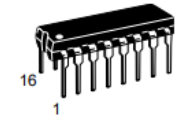
Common Select Input
 Enable (Active LOW) Input
 Data Inputs from Source 0
 Data Inputs from Source 1
 Multiplexer Outputs (Note b)

SN54/74LS157

QUAD 2-INPUT MULTIPLEXER
LOW POWER SCHOTTKY



J SUFFIX
 CERAMIC
 CASE 620-09



N SUFFIX
 PLASTIC
 CASE 648-08



D SUFFIX
 SOIC
 CASE 751B-03

ORDERING INFORMATION

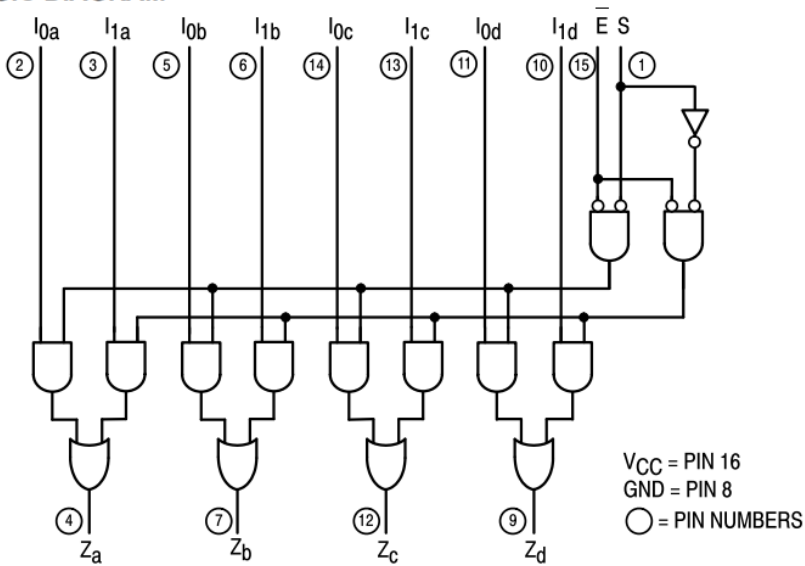
SN54LSXXXJ	Ceramic
SN74LSXXXN	Plastic
SN74LSXXXD	SOIC



MOTOROLA

QUAD 2-INPUT MULTIPLEXER

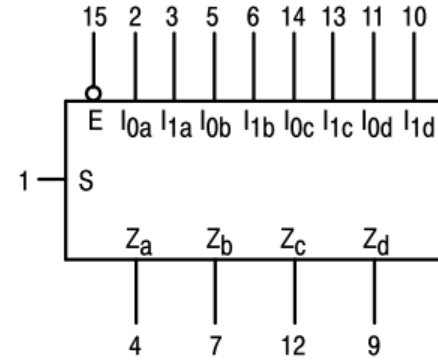
LOGIC DIAGRAM



PIN NAMES

- S Common Select Input
- E Enable (Active LOW) Input
- I_{0a}-I_{0d} Data Inputs from Source 0
- I_{1a}-I_{1d} Data Inputs from Source 1
- Z_a-Z_d Multiplexer Outputs (Note b)

LOGIC SYMBOL



VCC = PIN 16
GND = PIN 8

TRUTH TABLE

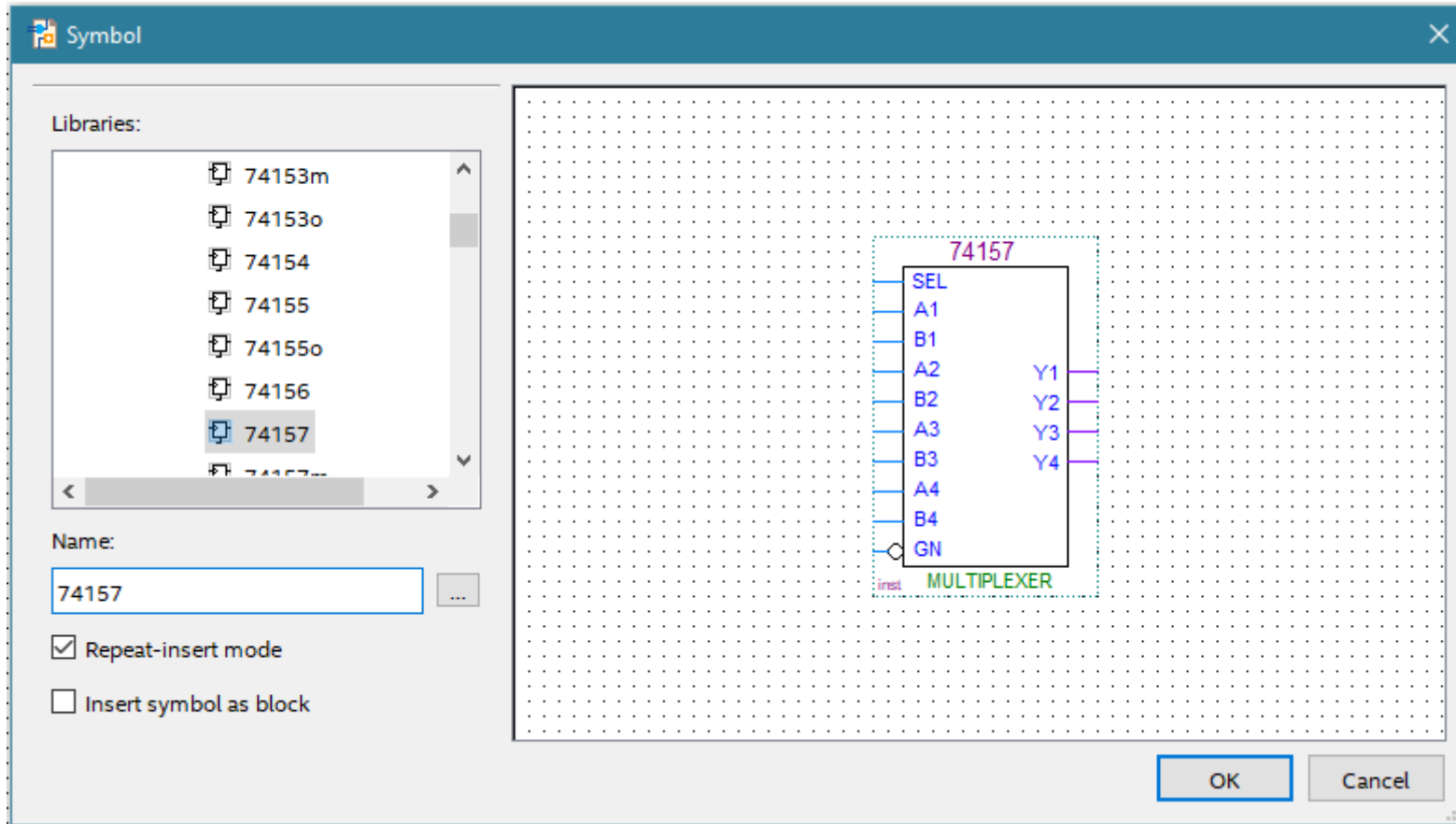
ENABLE	SELECT INPUT	INPUTS		OUTPUT
E	S	I ₀	I ₁	Z
H	X	X	X	L
L	H	X	L	L
L	H	X	H	H
L	L	L	X	L
L	L	H	X	H

H = HIGH Voltage Level
L = LOW Voltage Level
X = Don't Care

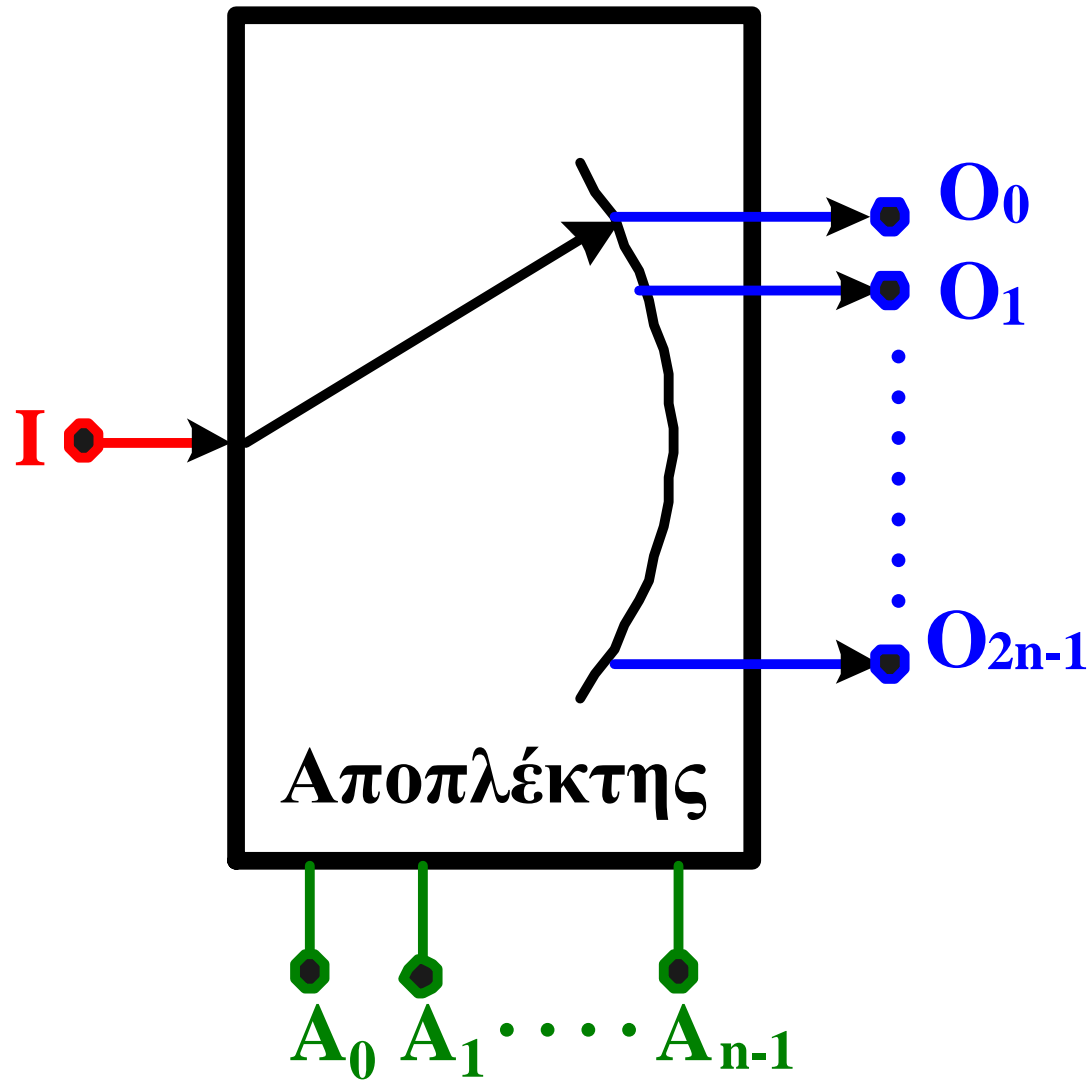


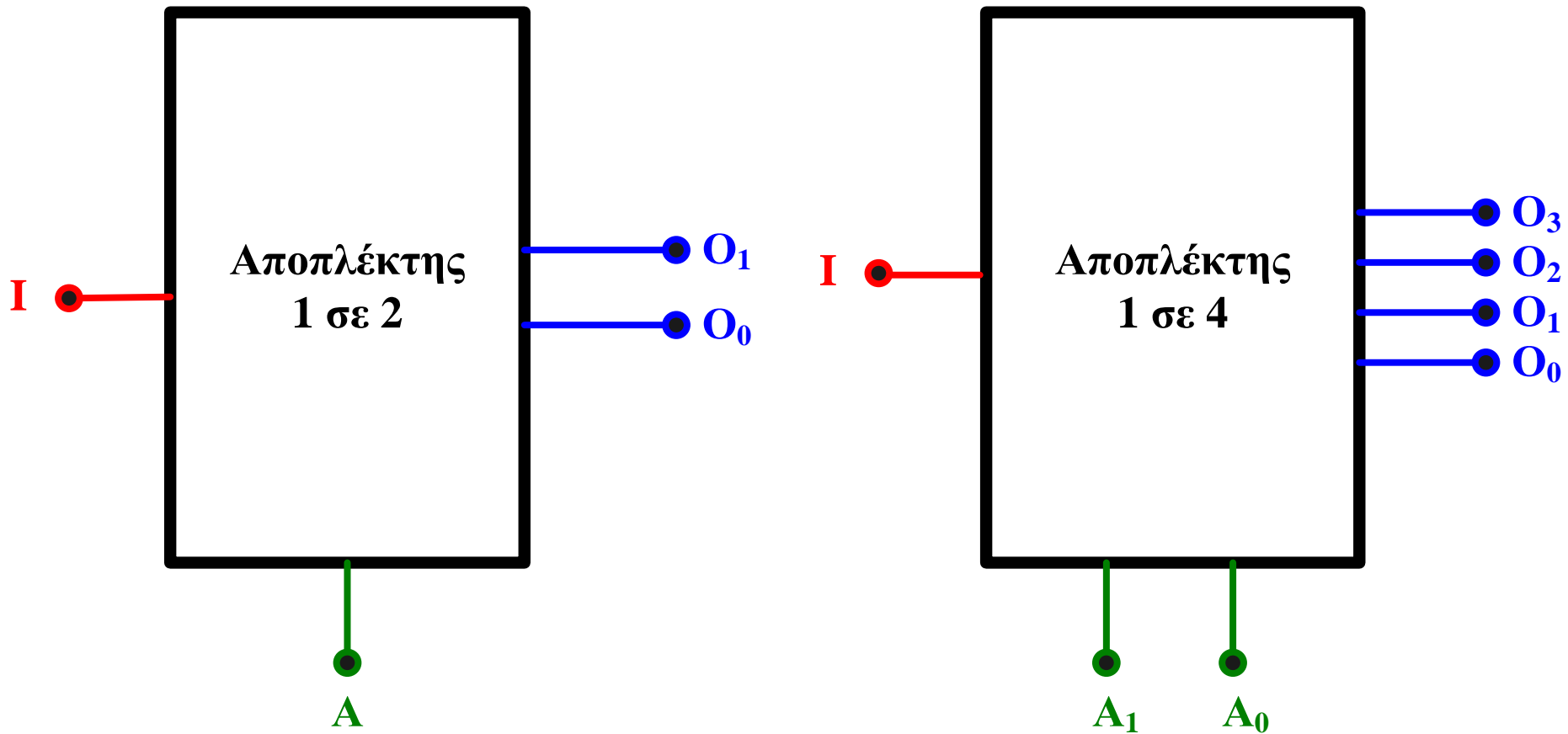
MOTOROLA

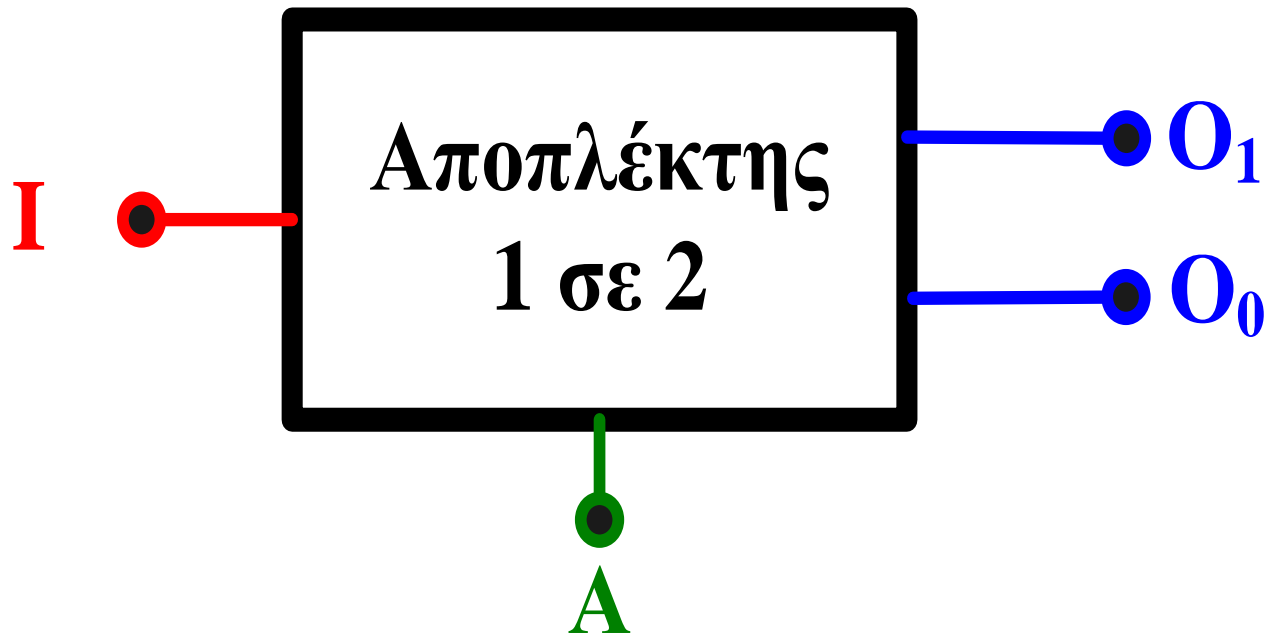
QUAD 2-INPUT MULTIPLEXER



Αποπλέκτης



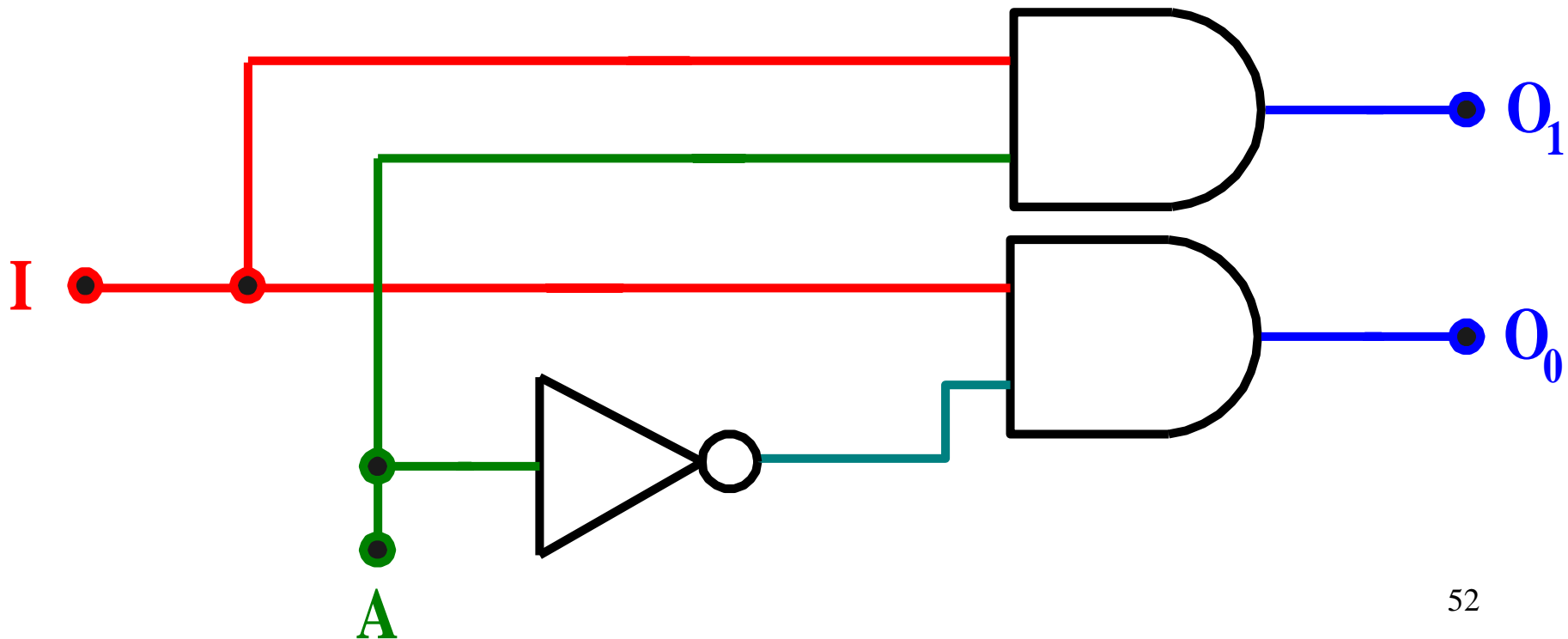


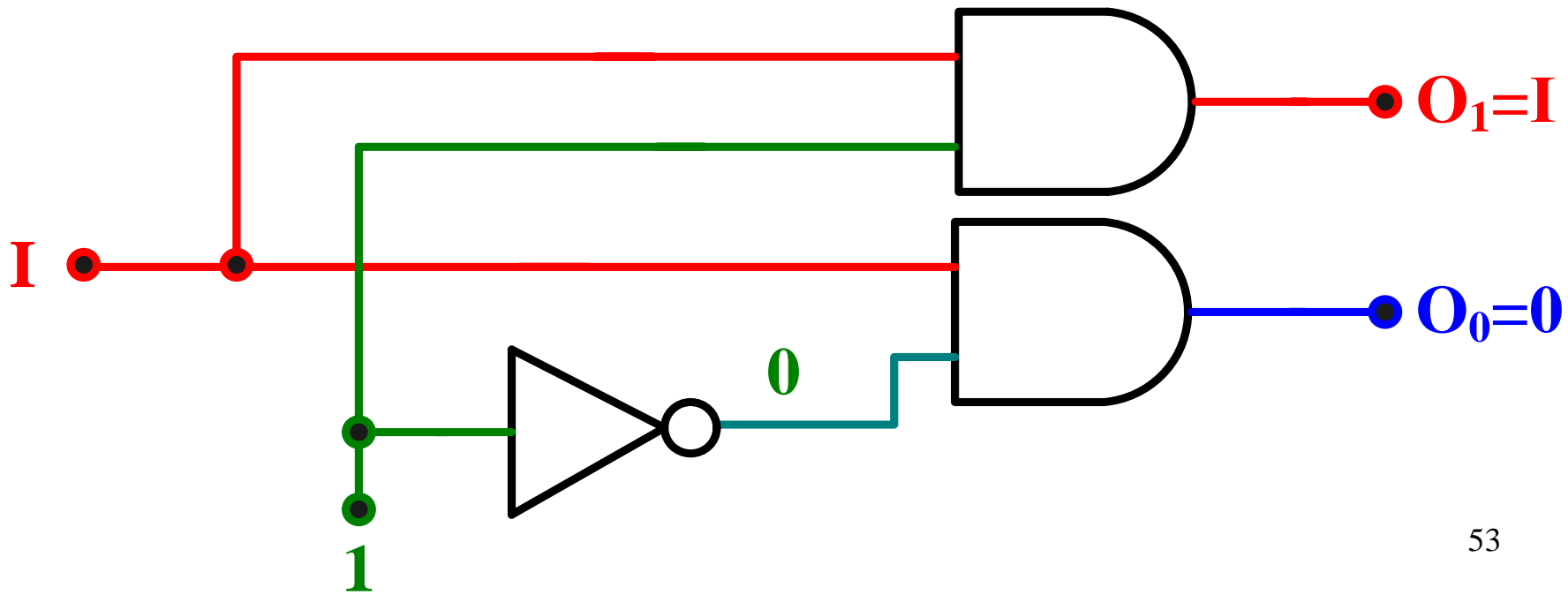
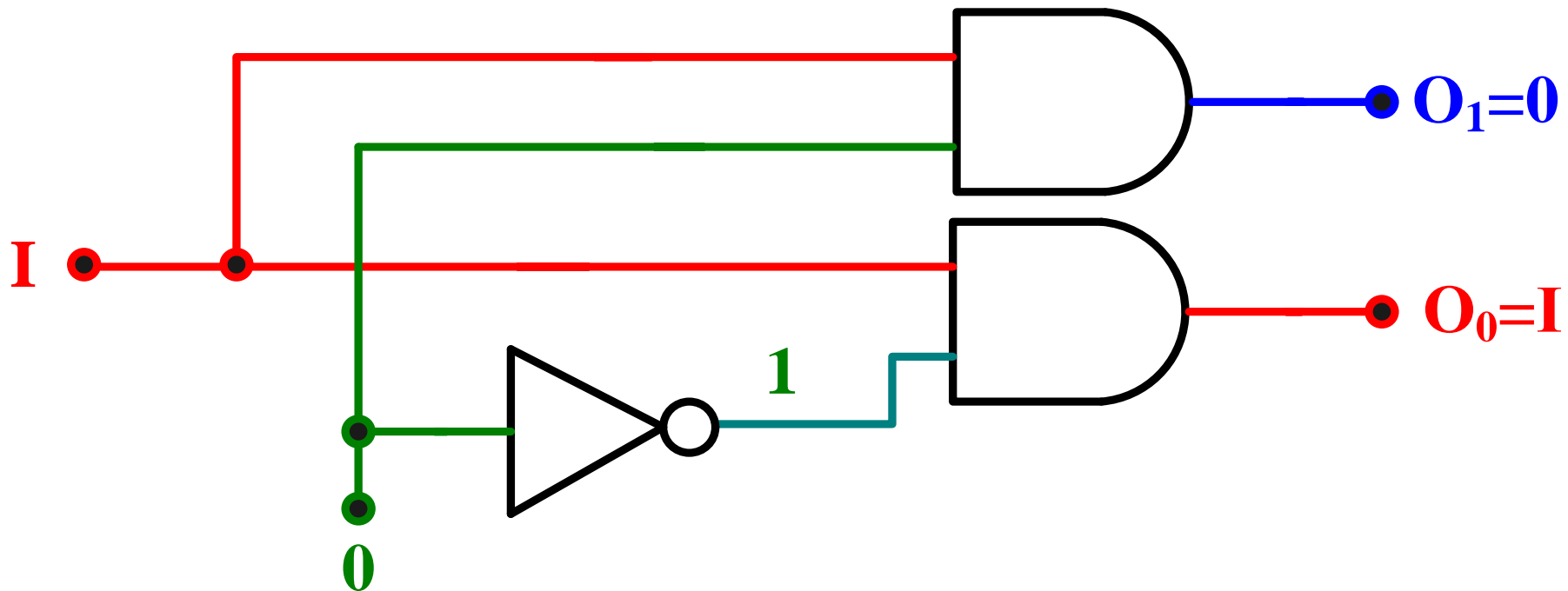


Είσοδοι	Είσοδοι διευθύνσεων	Έξοδος
	A	O
I	0	$O_0=I$
I	1	$O_1=I$

Είσοδοι	Είσοδοι διευθύνσεων	Έξοδος
	A	O
I	0	$O_0=I$
I	1	$O_1=I$

$$O_0 = \bar{A} \cdot I \quad O_1 = A \cdot I$$



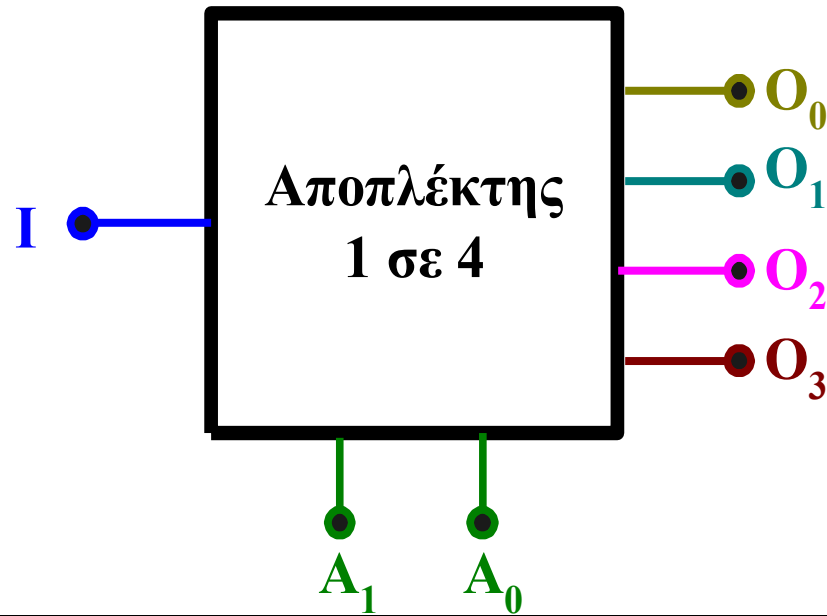


$$O_0 = \bar{A}_1 \cdot \bar{A}_0 \cdot I$$

$$O_1 = \bar{A}_1 \cdot A_0 \cdot I$$

$$O_2 = A_1 \cdot \bar{A}_0 \cdot I$$

$$O_3 = A_1 \cdot A_0 \cdot I$$



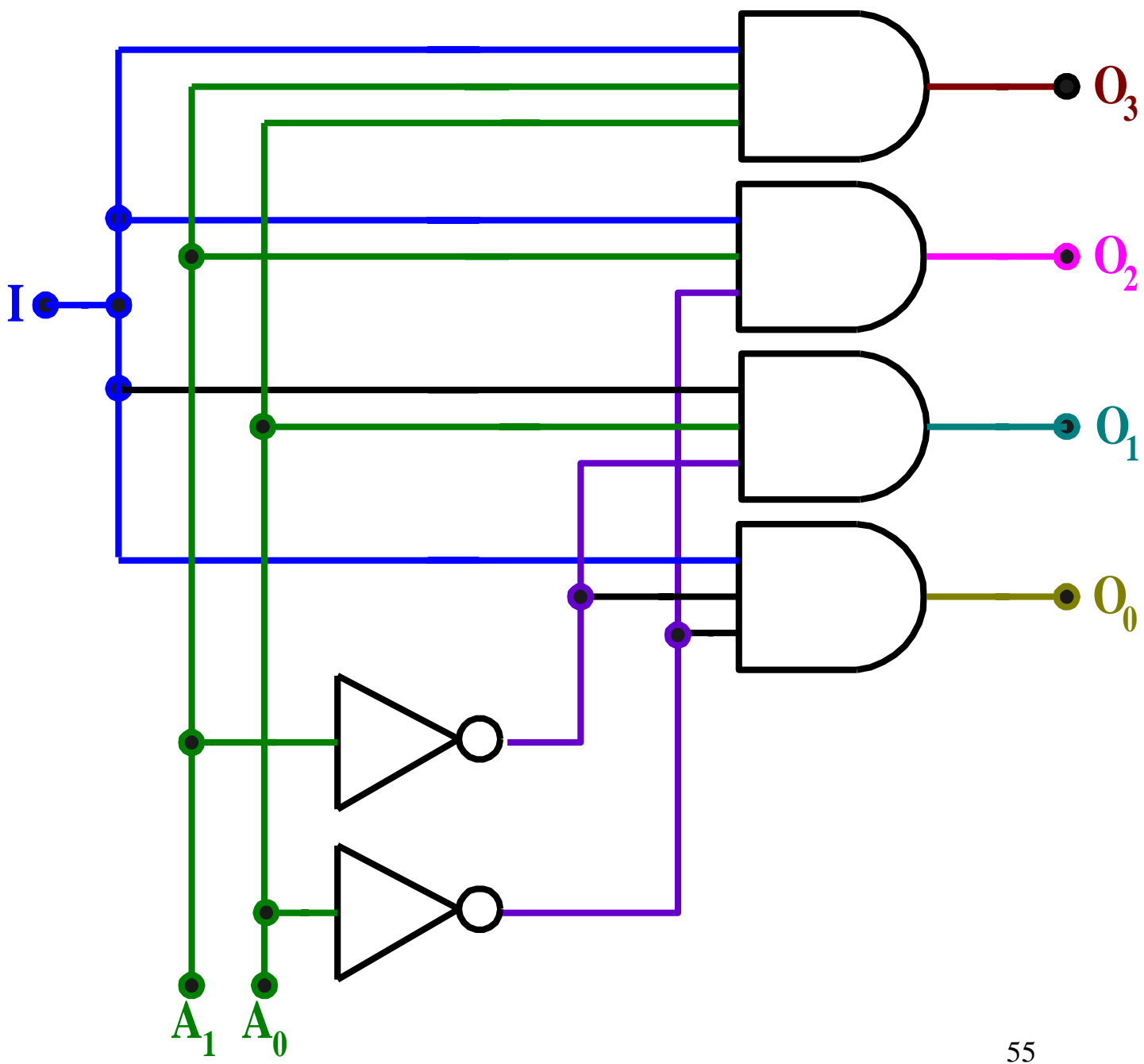
Είσοδοι διευθύνσεων		Έξοδοι			
A ₁	A ₀	O ₃	O ₂	O ₁	O ₀
0	0	0	0	0	I
0	1	0	0	I	0
1	0	0	I	0	0
1	1	I	0	0	0

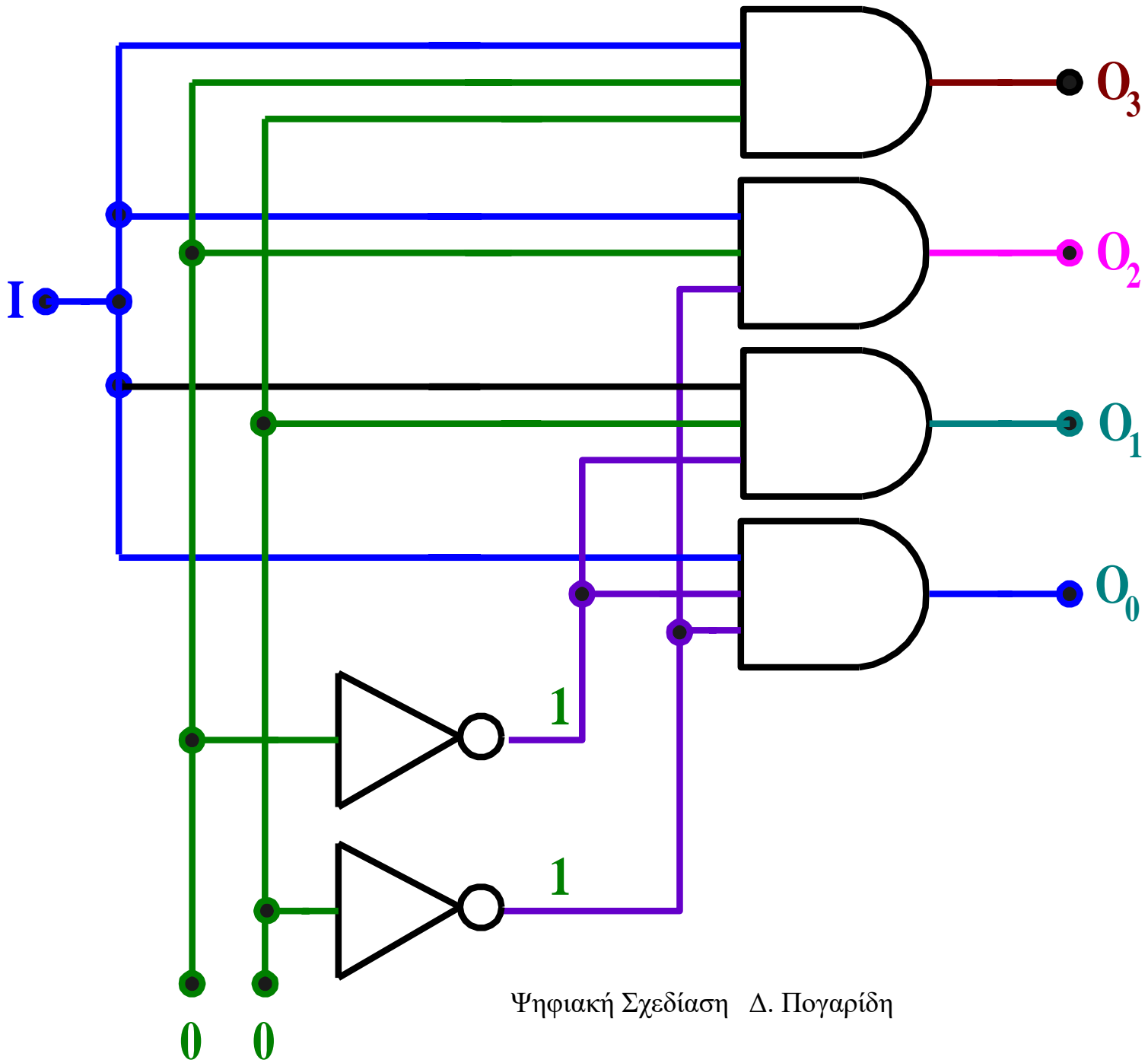
$$O_0 = \bar{A}_1 \cdot \bar{A}_0 \cdot I$$

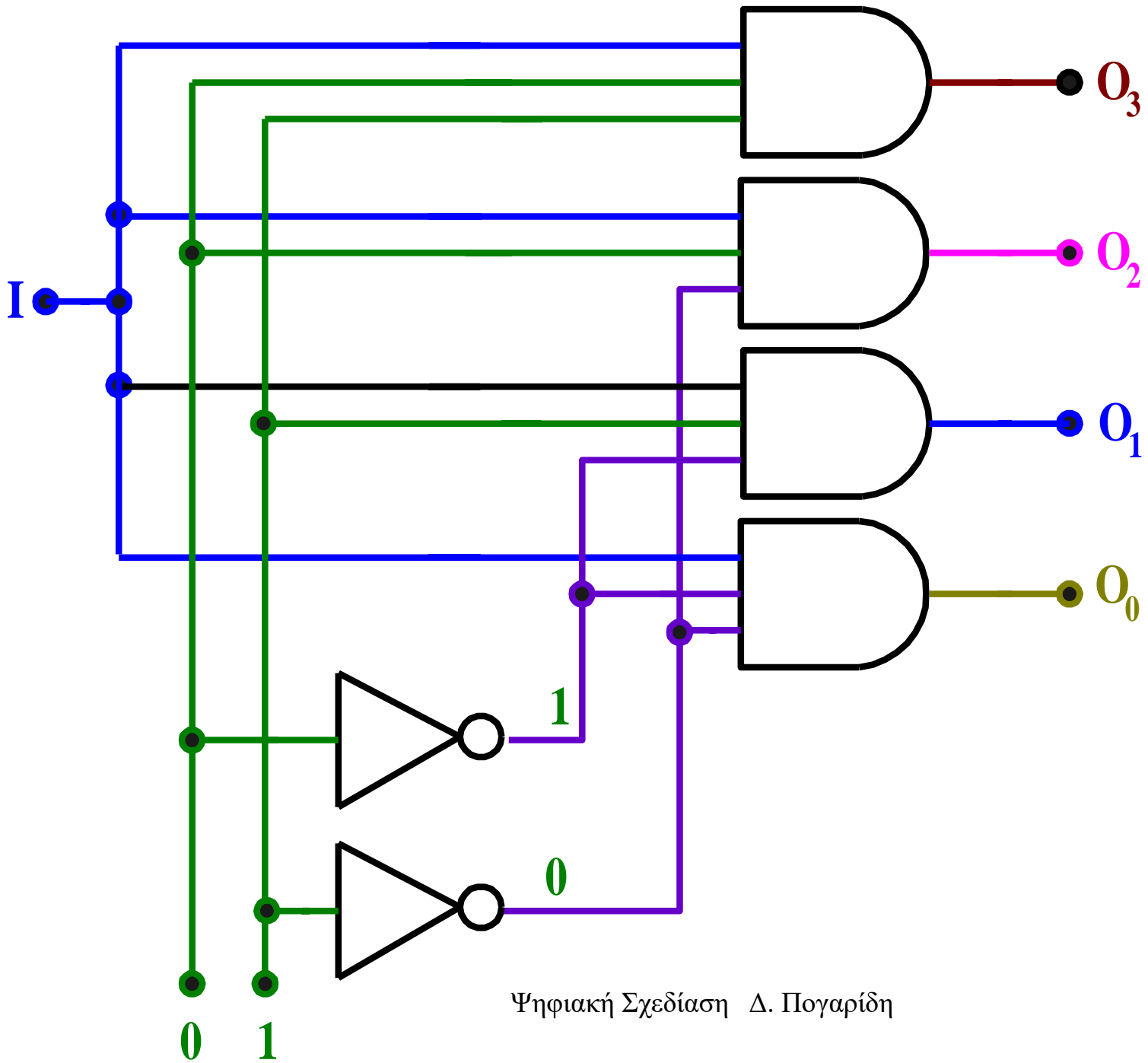
$$O_1 = \bar{A}_1 \cdot A_0 \cdot I$$

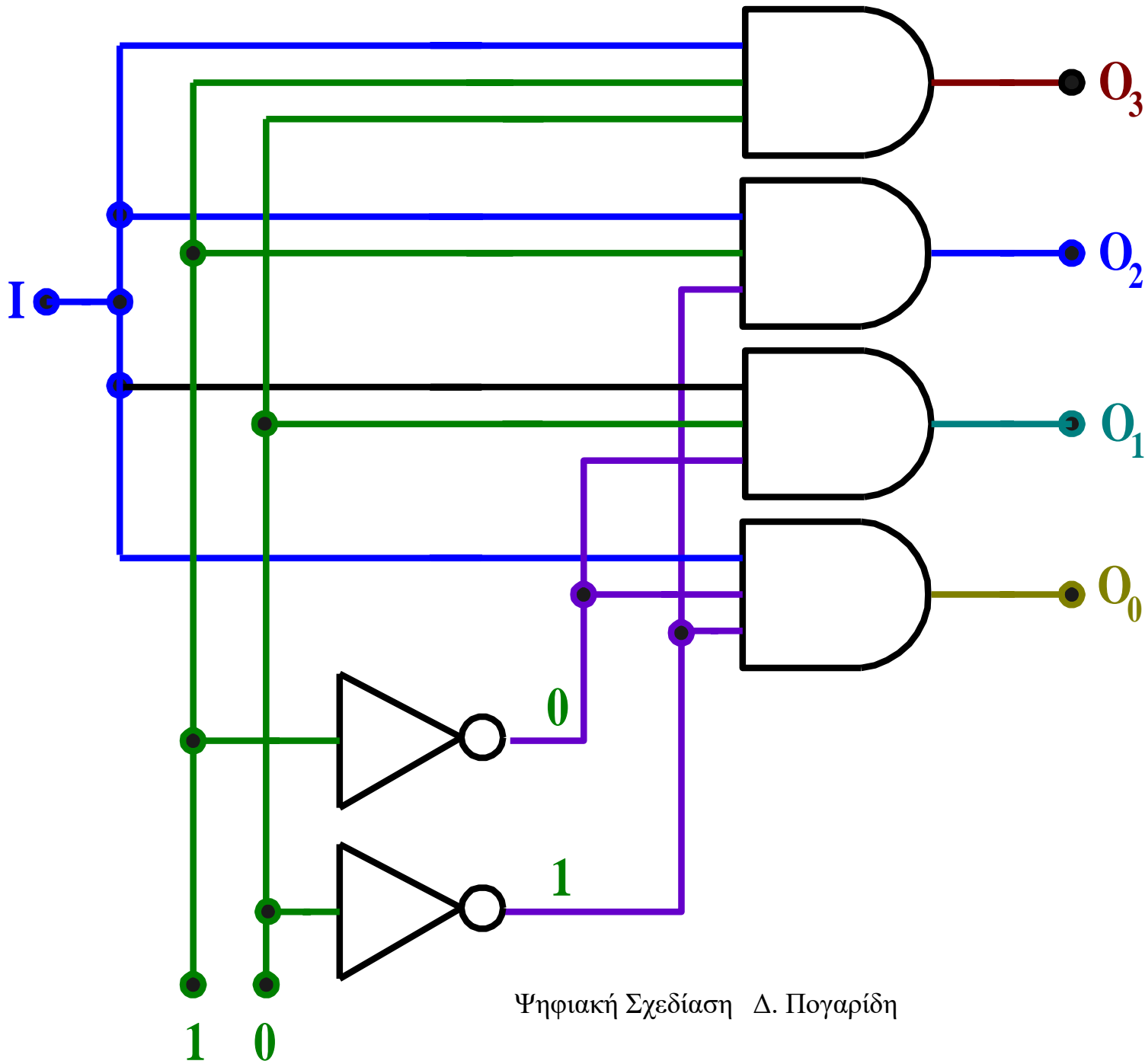
$$O_2 = A_1 \cdot \bar{A}_0 \cdot I$$

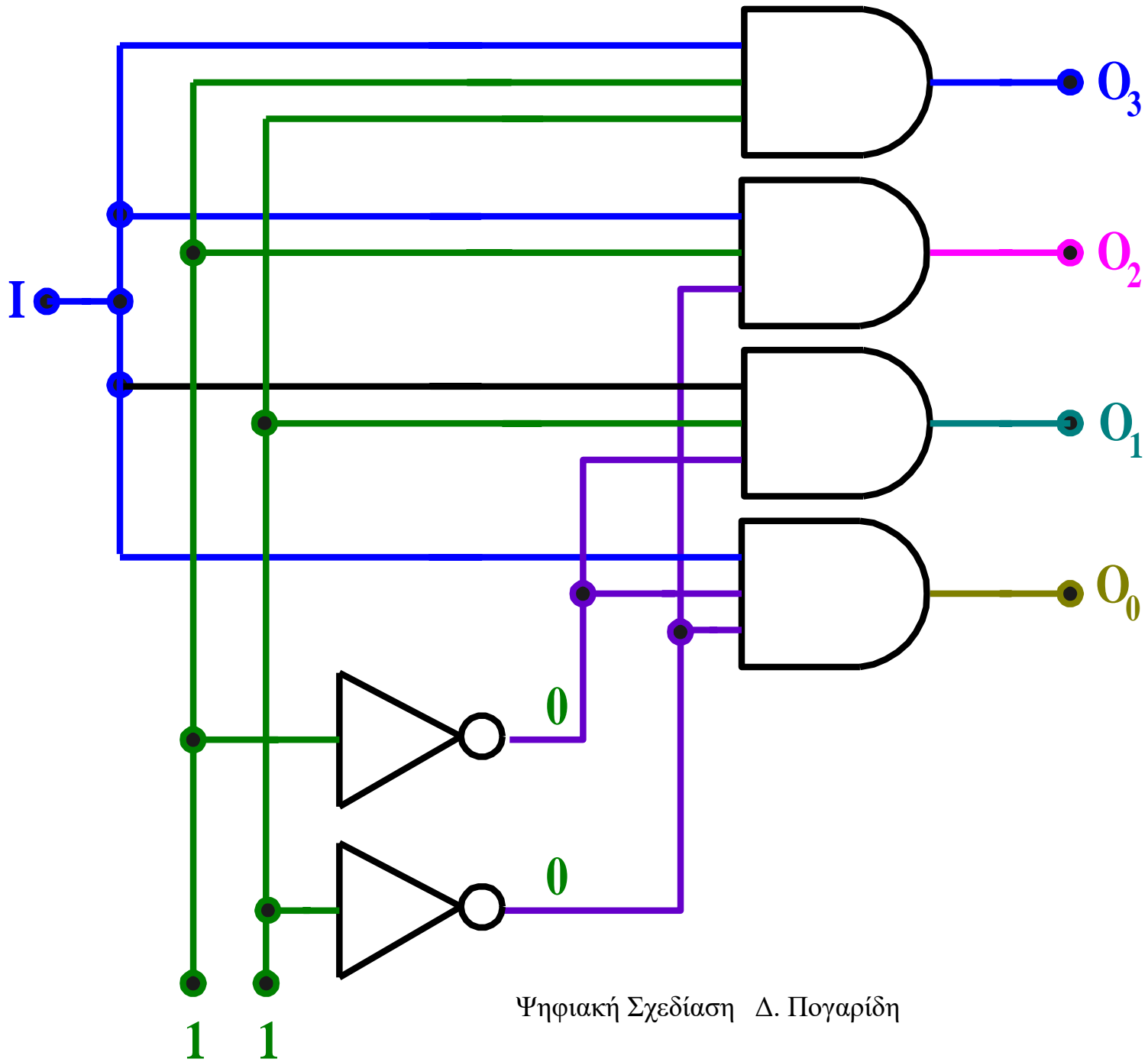
$$O_3 = A_1 \cdot A_0 \cdot I$$











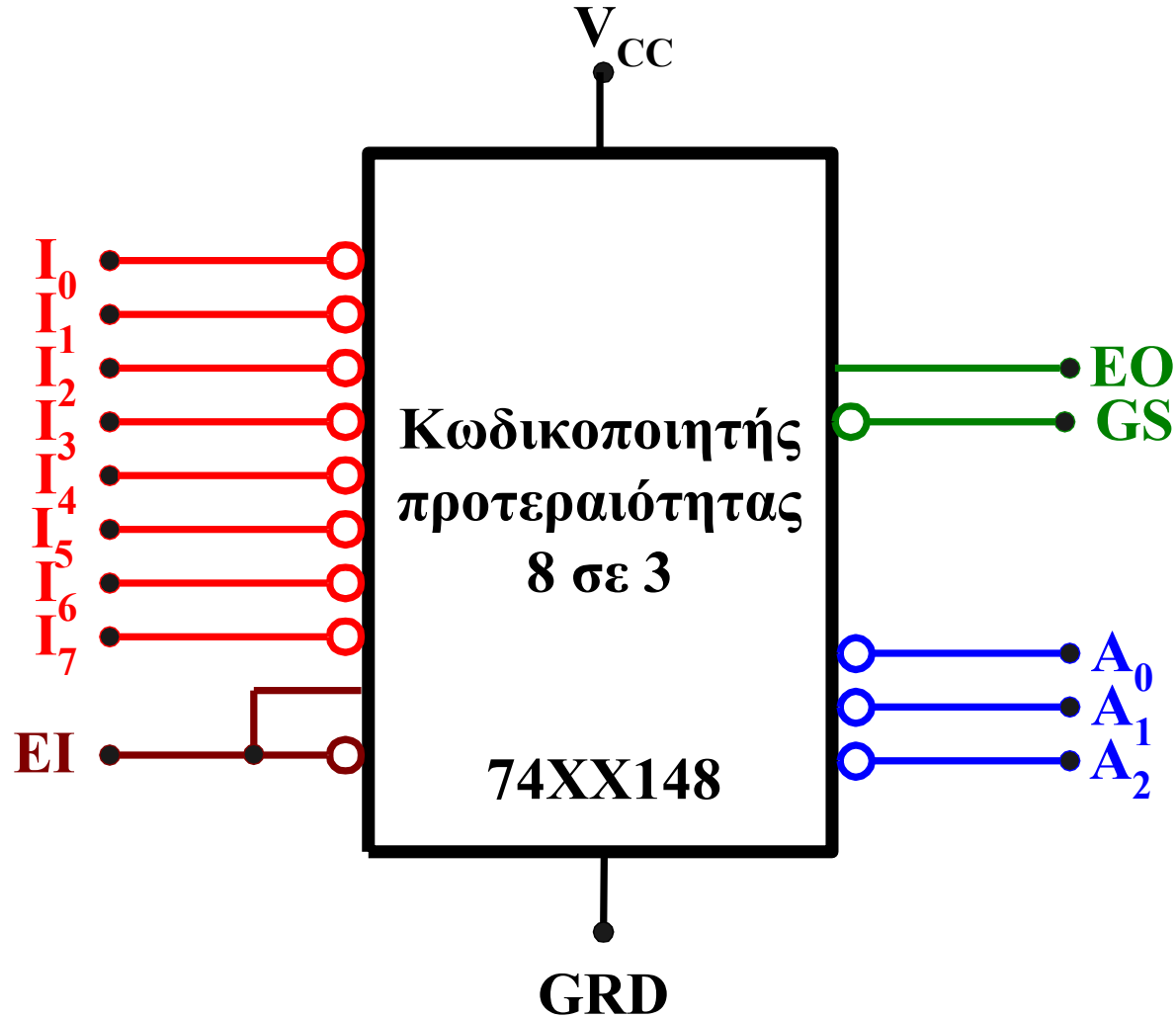
Αποπλέκτης 1 σε 8

Πίνακας 4.22

Δεκαδικός	Είσοδοι Διευθύνσεων			Έξοδοι								
	A_2	A_1	A_0	O_7	O_6	O_5	O_4	O_3	O_2	O_1	O_0	
0	0	0	0	0	0	0	0	0	0	0	0	1
1	0	0	1	0	0	0	0	0	0	0	1	0
2	0	1	0	0	0	0	0	0	1	0	0	0
3	0	1	1	0	0	0	0	1	0	0	0	0
4	1	0	0	0	0	0	1	0	0	0	0	0
5	1	0	1	0	0	1	0	0	0	0	0	0
6	1	1	0	0	1	0	0	0	0	0	0	0
7	1	1	1	1	0	0	0	0	0	0	0	0

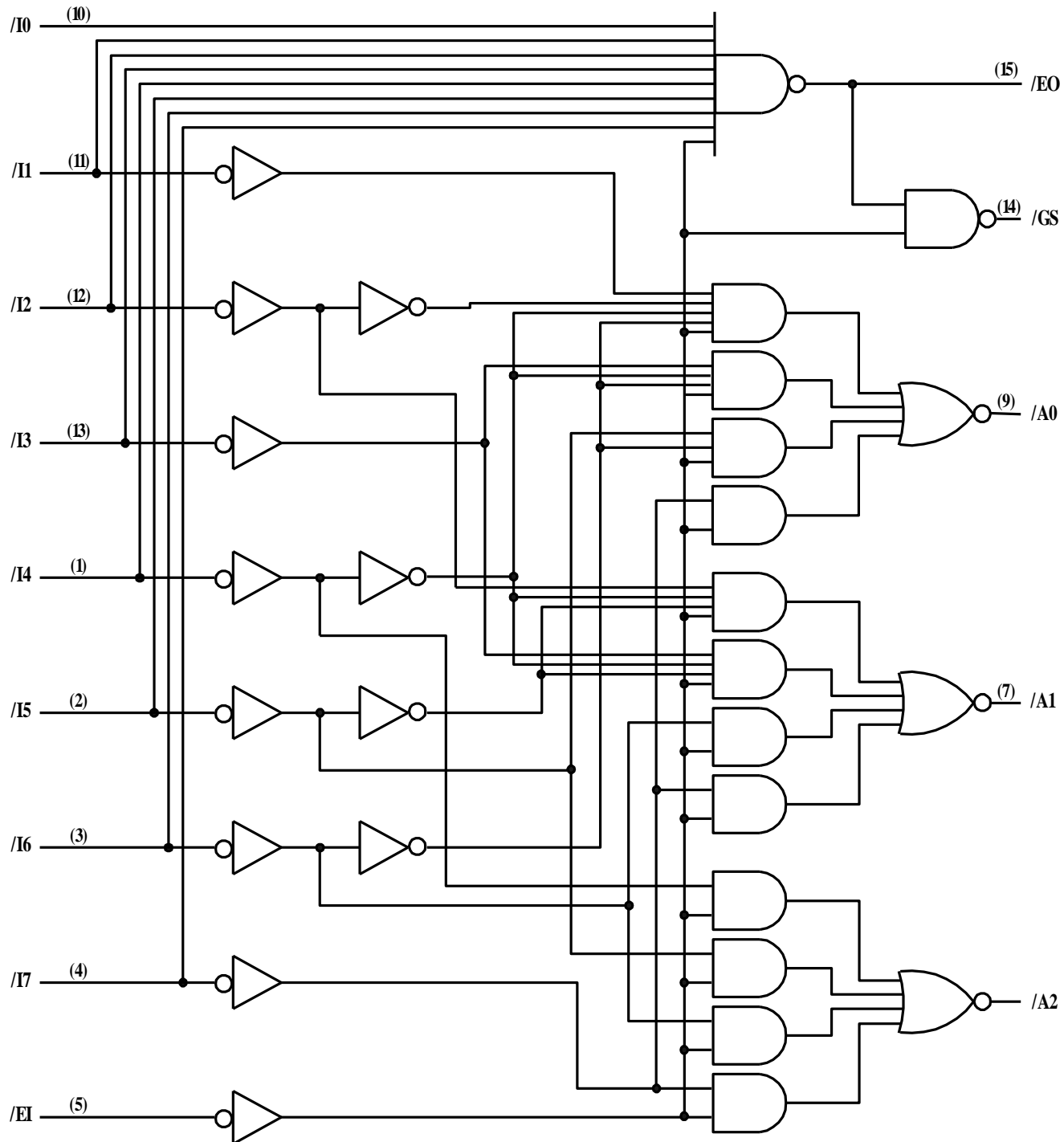
$$\begin{aligned}
 O_0 &= \bar{A}_2 \cdot \bar{A}_1 \cdot \bar{A}_0 \cdot I & O_1 &= \bar{A}_2 \cdot \bar{A}_1 \cdot A_0 \cdot I & O_2 &= \bar{A}_2 \cdot A_1 \cdot \bar{A}_0 \cdot I \\
 O_3 &= \bar{A}_2 \cdot A_1 \cdot A_0 \cdot I & O_4 &= A_2 \cdot \bar{A}_1 \cdot \bar{A}_0 \cdot I & O_5 &= A_2 \cdot \bar{A}_1 \cdot A_0 \cdot I \\
 O_6 &= A_2 \cdot A_1 \cdot \bar{A}_0 \cdot I & O_7 &= A_2 \cdot A_1 \cdot A_0 \cdot I
 \end{aligned}$$

Κωδικοποιητής Προτεραιότητας 74XX148

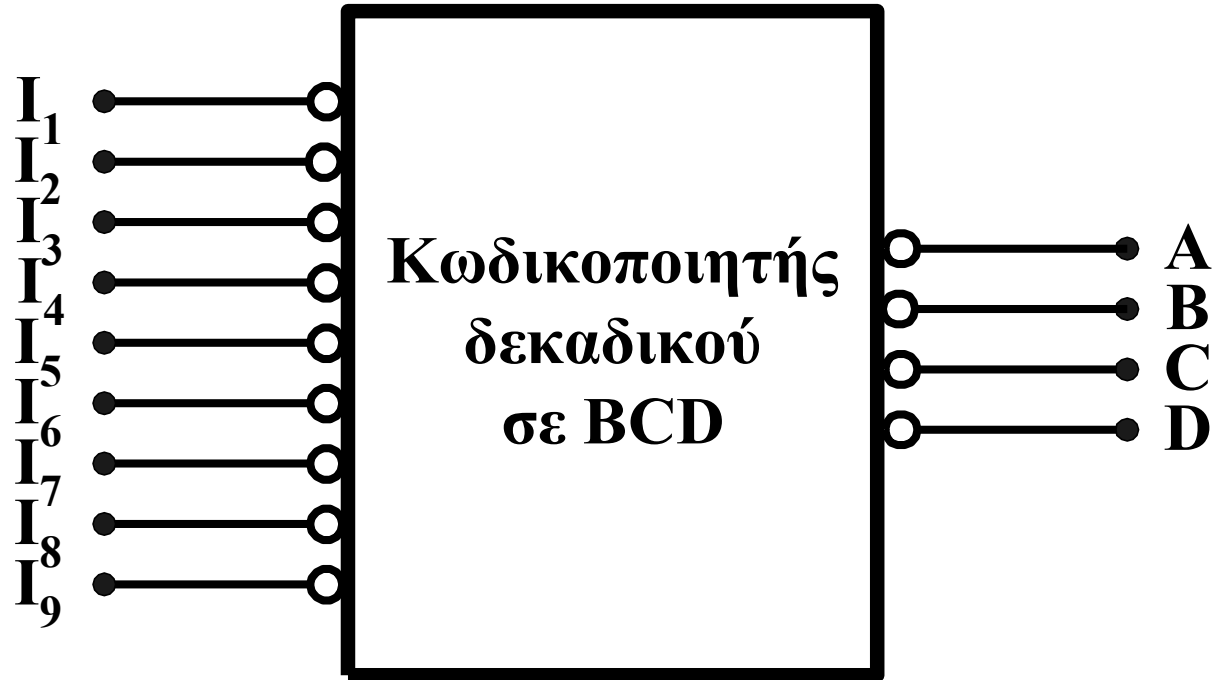


Πίνακας 4.7

Είσοδοι									Έξοδοι				
EI	I ₀	I ₁	I ₂	I ₃	I ₄	I ₅	I ₆	I ₇	A ₂	A ₁	A ₀	GS	EO
1	X	X	X	X	X	X	X	X	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	X	X	X	X	X	X	X	0	0	0	0	0	1
0	X	X	X	X	X	X	0	1	0	0	1	0	1
0	X	X	X	X	X	0	1	1	0	1	0	0	1
0	X	X	X	X	0	1	1	1	0	1	1	0	1
0	X	X	X	0	1	1	1	1	1	0	0	0	1
0	X	X	0	1	1	1	1	1	1	0	1	0	1
0	X	0	1	1	1	1	1	1	1	1	0	0	1
0	0	1	1	1	1	1	1	1	1	1	1	0	1



Κωδικοποιητής προτεραιότητας δεκαδικού



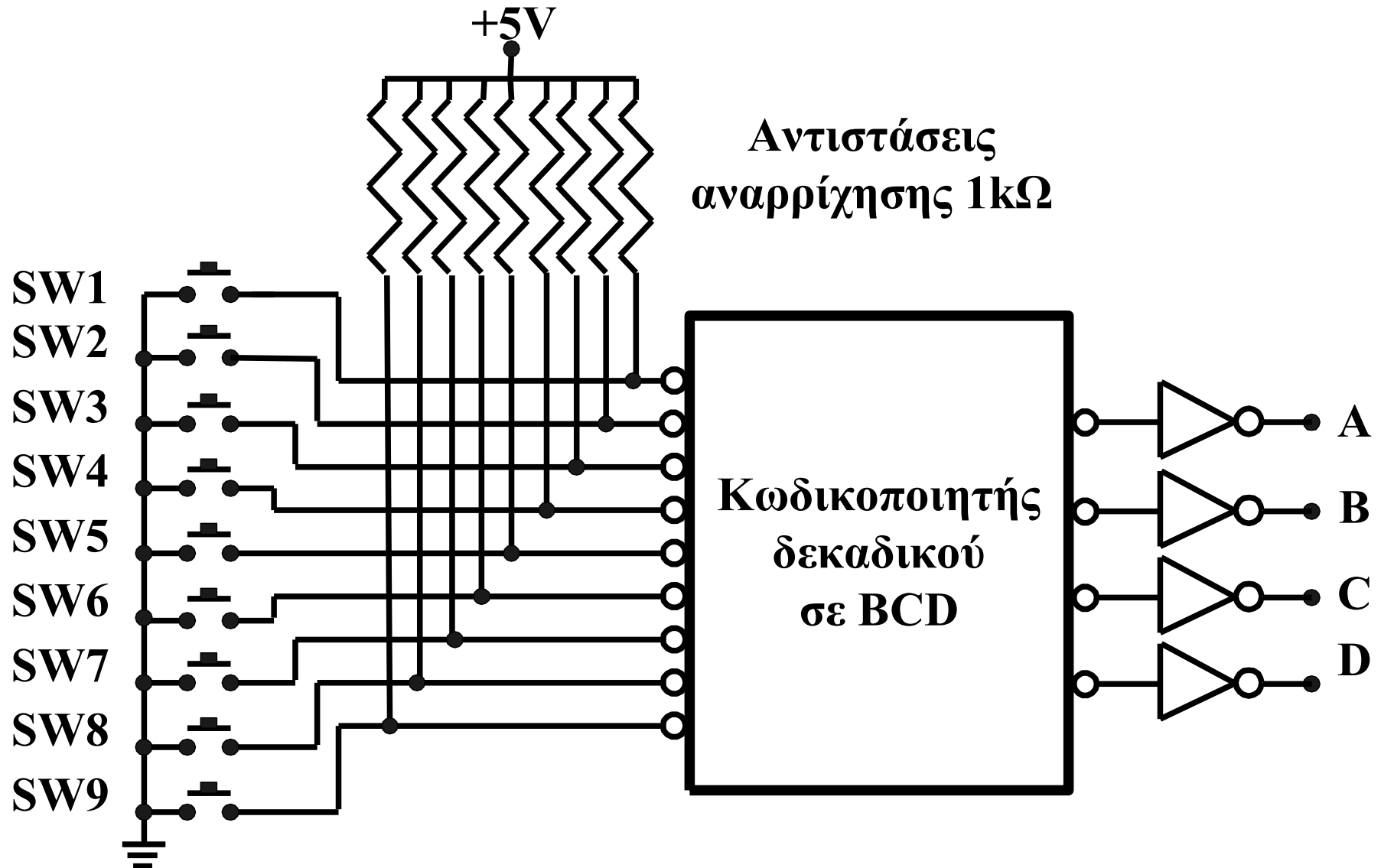
Πίνακας

Πίνακας 4.8

Είσοδοι									Έξοδοι			
I ₁	I ₂	I ₃	I ₄	I ₅	I ₆	I ₇	I ₈	I ₉	A	B	C	D
1	1	1	1	1	1	1	1	1	1	1	1	1
X	X	X	X	X	X	X	X	0	0	1	1	0
X	X	X	X	X	X	X	0	1	0	1	1	1
X	X	X	X	X	X	0	1	1	1	0	0	0
X	X	X	X	X	0	1	1	1	1	0	0	1
X	X	X	X	0	1	1	1	1	1	0	1	0
X	X	X	0	1	1	1	1	1	1	0	1	1
X	X	0	1	1	1	1	1	1	1	1	0	0
X	0	1	1	1	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1	1	1	0

Σχήμα

Κωδικοποιητής διακοπών



Αποκωδικοποιητές 3 σε 8



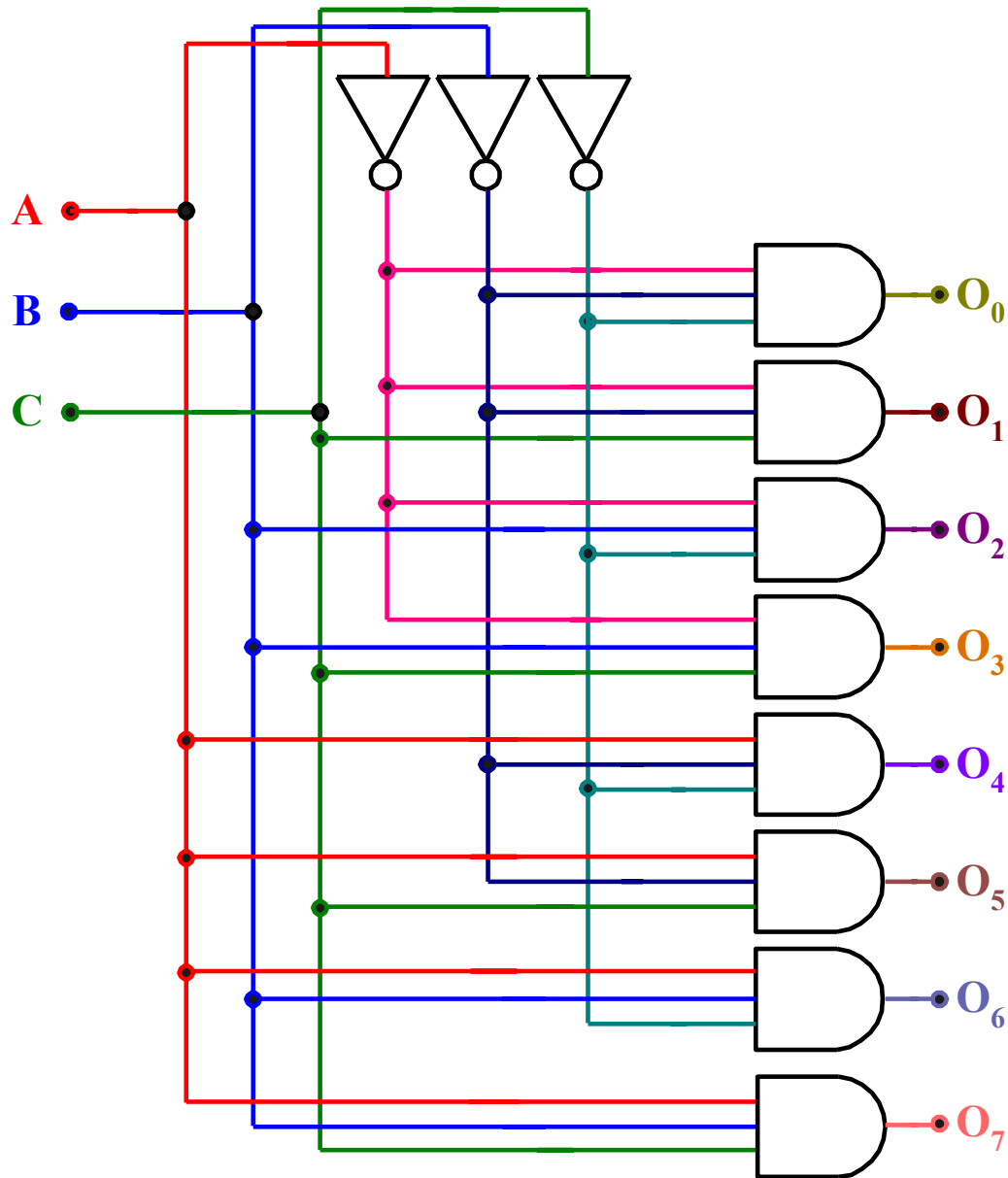
Είσοδοι			Έξοδοι							
A	B	C	O ₀	O ₁	O ₂	O ₃	O ₄	O ₅	O ₆	O ₇
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

$$O_0 = \bar{A} \cdot \bar{B} \cdot \bar{C} \quad O_1 = \bar{A} \cdot \bar{B} \cdot C \quad O_2 = \bar{A} \cdot B \cdot \bar{C} \quad O_3 = \bar{A} \cdot B \cdot C$$

$$O_4 = A \cdot \bar{B} \cdot \bar{C} \quad O_5 = A \cdot \bar{B} \cdot C \quad O_6 = A \cdot B \cdot \bar{C} \quad O_7 = A \cdot B \cdot C$$

$$O_0 = \bar{A} \cdot \bar{B} \cdot \bar{C} \quad O_1 = \bar{A} \cdot \bar{B} \cdot C \quad O_2 = \bar{A} \cdot B \cdot \bar{C} \quad O_3 = \bar{A} \cdot B \cdot C$$

$$O_4 = A \cdot \bar{B} \cdot \bar{C} \quad O_5 = A \cdot \bar{B} \cdot C \quad O_6 = A \cdot B \cdot \bar{C} \quad O_7 = A \cdot B \cdot C$$



Αποκωδικοποιητής 3 σε 8

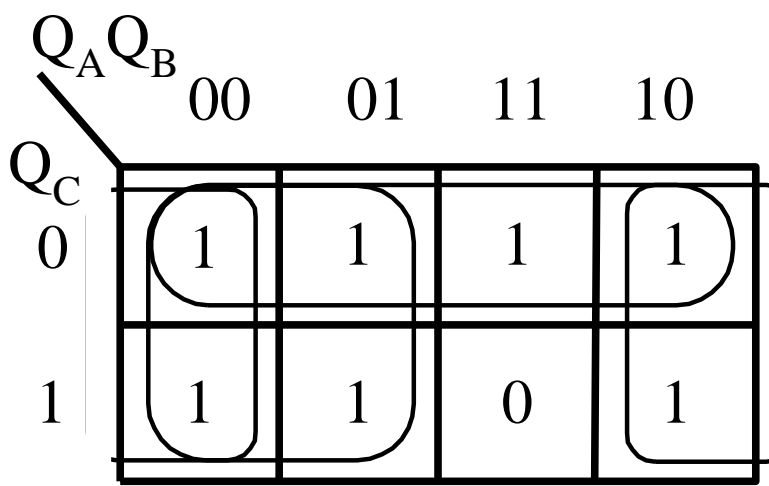
Πίνακας 4.9

Είσοδοι				Έξοδοι							
Δεκ.	A	B	C	O ₇	O ₆	O ₅	O ₄	O ₃	O ₂	O ₁	O ₀
0	0	0	0	1	1	1	1	1	1	1	0
1	0	0	1	1	1	1	1	1	1	0	1
2	0	1	0	1	1	1	1	1	0	1	1
3	0	1	1	1	1	1	1	0	1	1	1
4	1	0	0	1	1	1	0	1	1	1	1
5	1	0	1	1	1	0	1	1	1	1	1
6	1	1	0	1	0	1	1	1	1	1	1
7	1	1	1	0	1	1	1	1	1	1	1

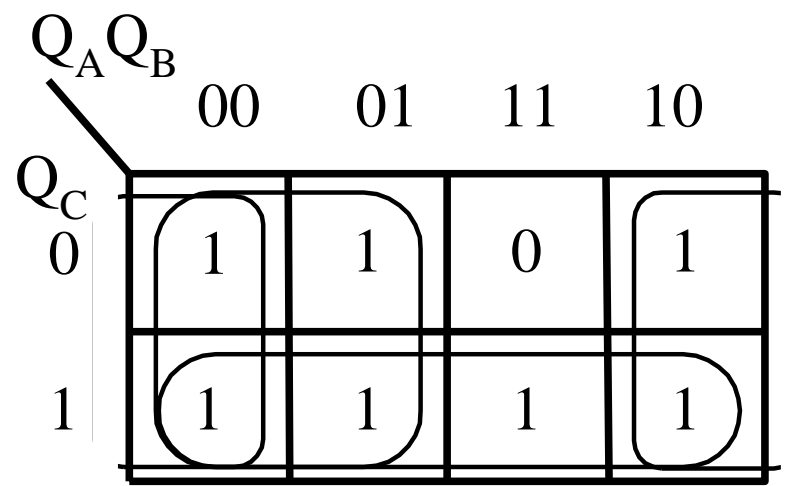
$$O_7 = \Sigma(0,1,2,3,4,5,6), \quad O_6 = \Sigma(0,1,2,3,4,5,7), \quad O_5 = \Sigma(0,1,2,3,4,6,7),$$

$$O_4 = \Sigma(0,1,2,3,5,6,7), \quad O_3 = \Sigma(0,1,2,4,5,6,7), \quad O_2 = \Sigma(0,1,3,4,5,6,7),$$

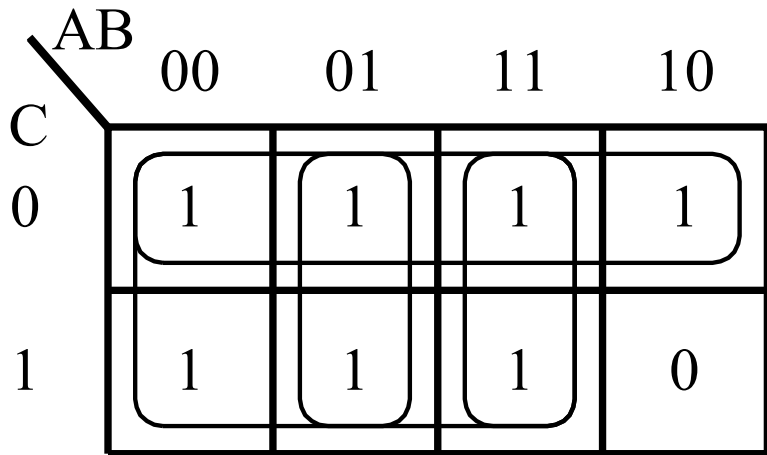
$$O_1 = \Sigma(0,2,3,4,5,6,7), \quad O_0 = \Sigma(1,2,3,4,5,6,7)$$



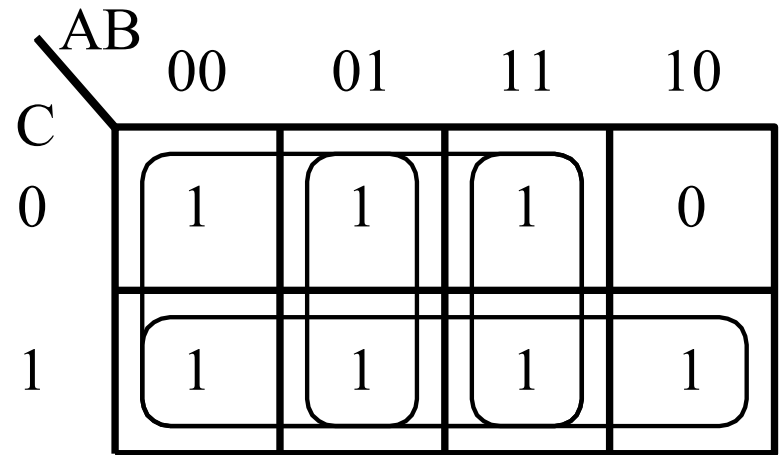
$$O_7 = \bar{A} + \bar{B} + \bar{C} = \overline{A \cdot B \cdot C}$$



$$O_6 = \bar{A} + \bar{B} + C = \overline{A \cdot B \cdot \bar{C}}$$



$$O_5 = \bar{A} + B + \bar{C} = \overline{A \cdot \bar{B} \cdot C}$$



$$O_4 = \bar{A} + B + C = \overline{A \cdot \bar{B} \cdot \bar{C}}$$

	AB			
	00	01	11	10
C				
0	1	1	1	1
1	1	0	1	1

$$O_3 = A + \bar{B} + \bar{C} = \overline{\bar{A} \cdot B \cdot C}$$

	AB			
	00	01	11	10
C				
0	1	0	1	1
1	1	1	1	1

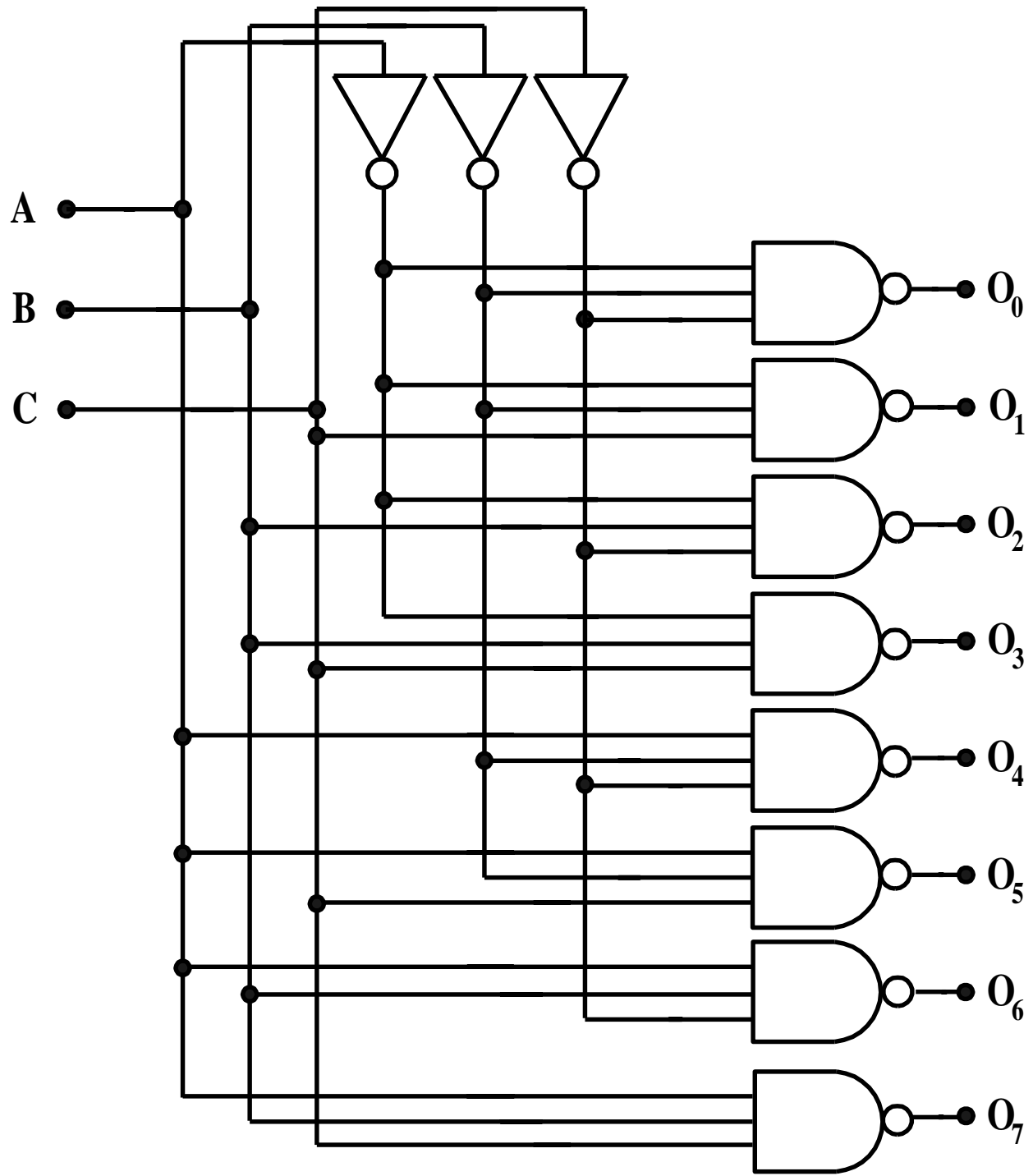
$$O_2 = A + \bar{B} + C = \overline{\bar{A} \cdot B \cdot \bar{C}}$$

	AB			
	00	01	11	10
C				
0	1	1	1	1
1	0	1	1	1

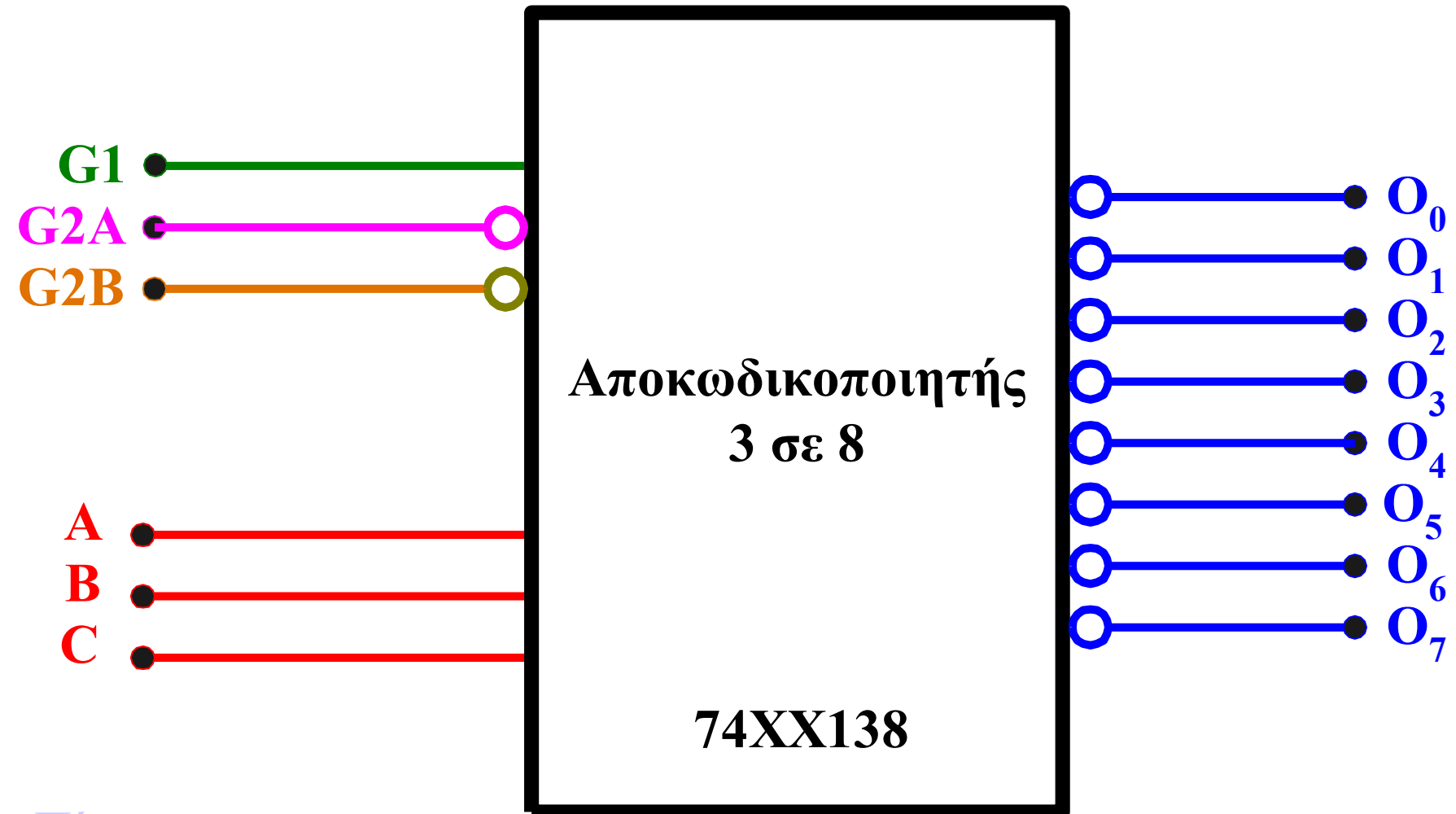
$$O_1 = A + B + \bar{C} = \overline{\bar{A} \cdot \bar{B} \cdot C}$$

	AB			
	00	01	11	10
C				
0	0	1	1	1
1	1	1	1	1

$$O_0 = A + B + C = \overline{\bar{A} \cdot \bar{B} \cdot \bar{C}}$$



Αποκωδικοποιητής 74XX138



Πίνακας

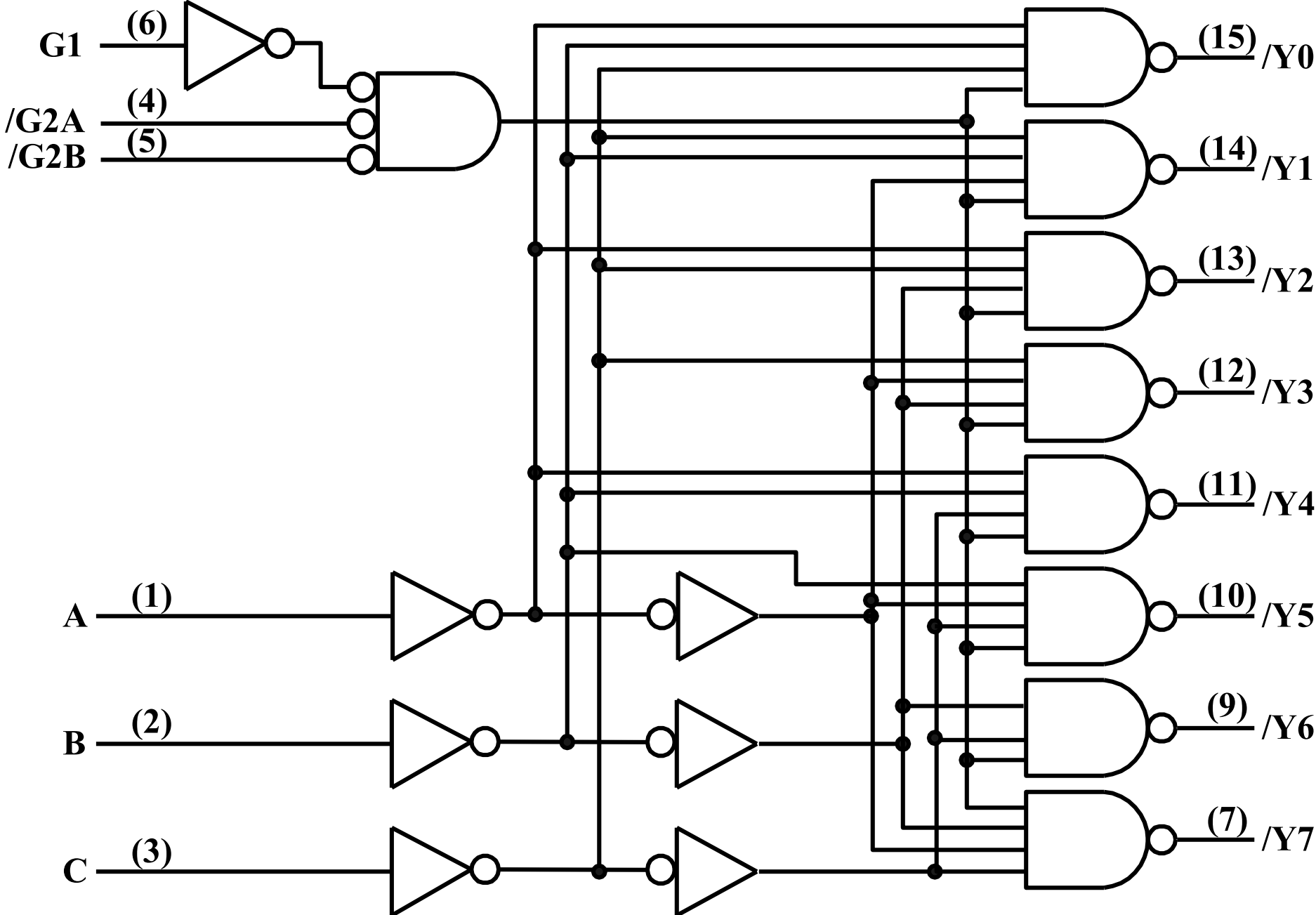
Κύκλωμα

Αποκωδικοποιητής 74XX138

Είσοδοι						Έξοδοι							
G1	G2A	G2B	C	B	A	O ₀	O ₁	O ₂	O ₃	O ₄	O ₅	O ₆	O ₇
X	1	X	X	X	X	1	1	1	1	1	1	1	1
X	X	1	X	X	X	1	1	1	1	1	1	1	1
0	X	X	X	X	X	1	1	1	1	1	1	1	1
1	0	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	0	0	1	1	1	1	0	1	1	1
1	0	0	1	0	1	1	1	1	1	1	0	1	1
1	0	0	1	1	0	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0

Σχήμα

Κύκλωμα

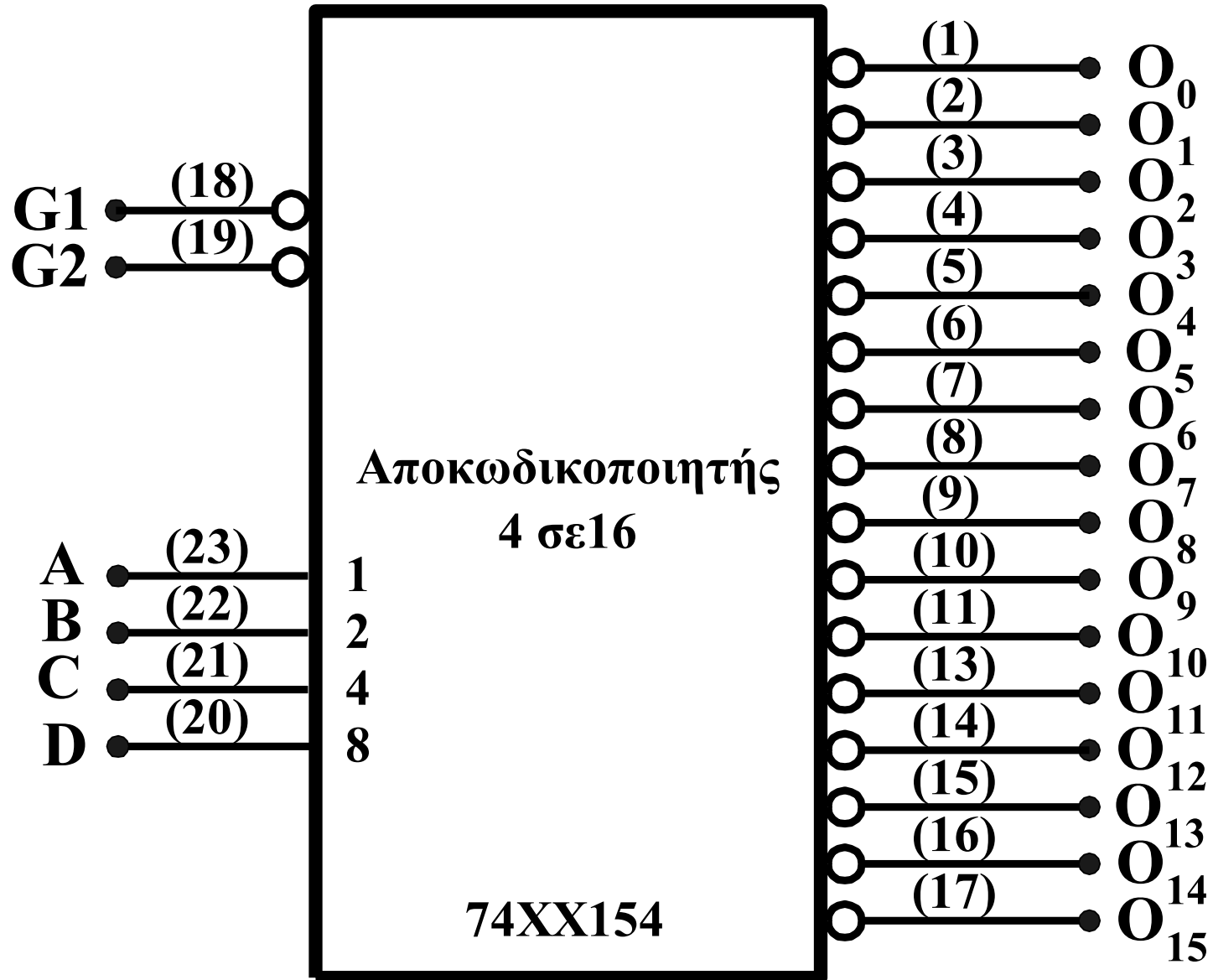


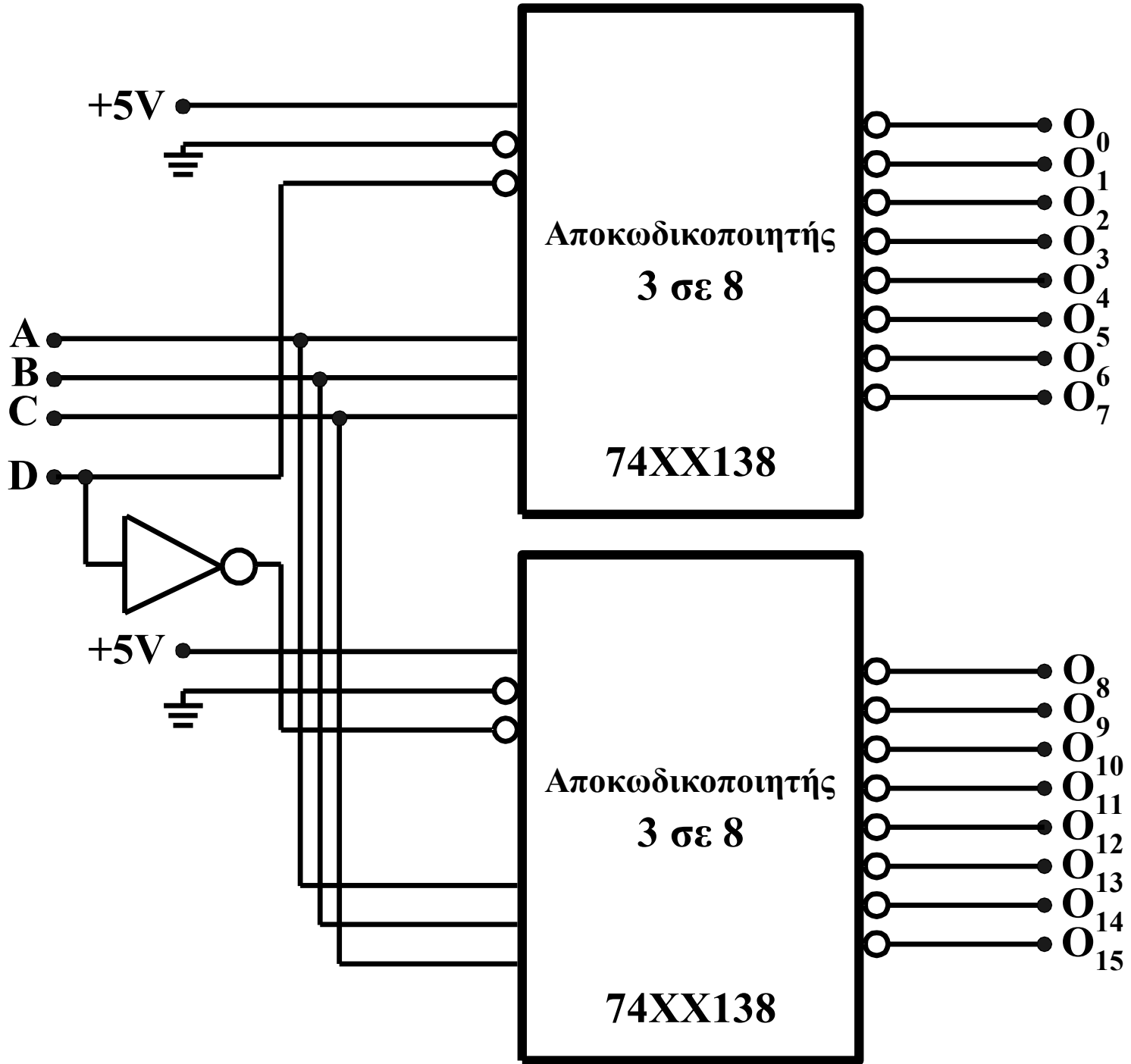
Πίνακας Αληθείας

Είσοδοι						Έξοδοι							
G1	G2A	G2B	C	B	A	O ₀	O ₁	O ₂	O ₃	O ₄	O ₅	O ₆	O ₇
X	1	X	X	X	X	1	1	1	1	1	1	1	1
X	X	1	X	X	X	1	1	1	1	1	1	1	1
0	X	X	X	X	X	1	1	1	1	1	1	1	1
1	0	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	0	0	1	1	1	1	0	1	1	1
1	0	0	1	0	1	1	1	1	1	1	0	1	1
1	0	0	1	1	0	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0

[Προσομοίωση](#)

Αποκωδικοποιητής 4 σε 16





Παράδειγμα 4.11

Να υλοποιηθεί με αποκωδικοποιητή 74XX138 το λογικό κύκλωμα που περιγράφεται από τη λογική συνάρτηση

$$f = \bar{A} \cdot \bar{C} + \bar{A} \cdot B + A \cdot \bar{B} \cdot C$$

$$f = \bar{A} \cdot \bar{C} \cdot (B + \bar{B}) + \bar{A} \cdot B \cdot (C + \bar{C}) + A \cdot \bar{B} \cdot C$$

$$= \bar{A} \cdot \bar{B} \cdot \bar{C} + \bar{A} \cdot B \cdot C + \bar{A} \cdot B \cdot \bar{C} + \bar{A} \cdot B \cdot C + A \cdot \bar{B} \cdot C$$

$$= \bar{A} \cdot \bar{B} \cdot \bar{C} + \bar{A} \cdot B \cdot C + \bar{A} \cdot B \cdot \bar{C} + A \cdot \bar{B} \cdot C = \Sigma(0,2,3,5)$$

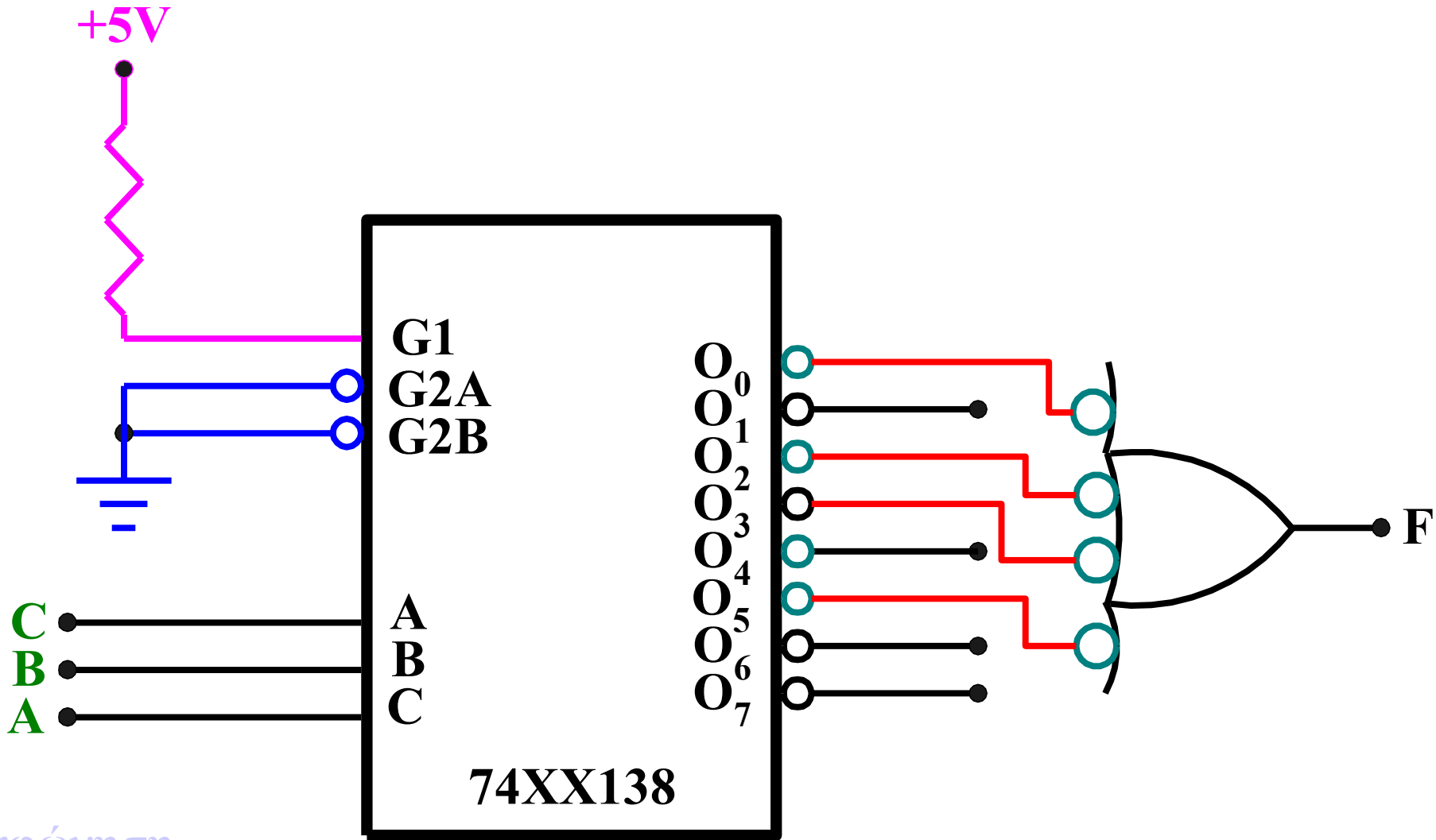
$$= \overline{\overline{\bar{A} \cdot \bar{B} \cdot \bar{C} + \bar{A} \cdot B \cdot C + \bar{A} \cdot B \cdot \bar{C} + A \cdot \bar{B} \cdot C}}$$

$$= (\overline{\overline{\bar{A} \cdot \bar{B} \cdot \bar{C}}}) \cdot (\overline{\overline{\bar{A} \cdot B \cdot C}}) \cdot (\overline{\overline{\bar{A} \cdot B \cdot \bar{C}}}) \cdot (\overline{\overline{A \cdot \bar{B} \cdot C}}) = \Sigma(0,2,3,5)$$

Προσομοίωση

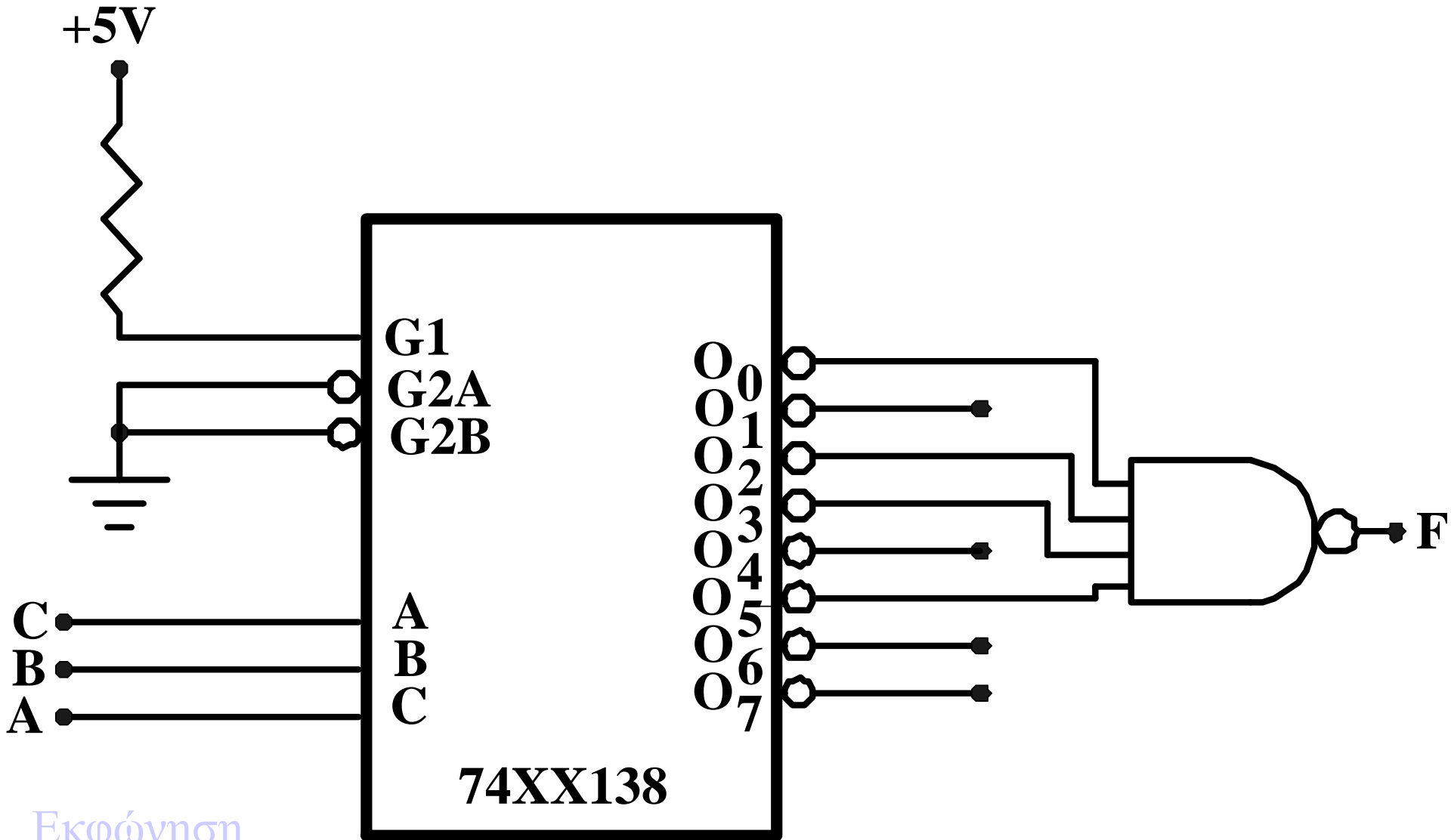
Κύκλωμα 1, Κύκλωμα 2

$$f = \Sigma(0,2,3,5)$$



Εκφώνηση

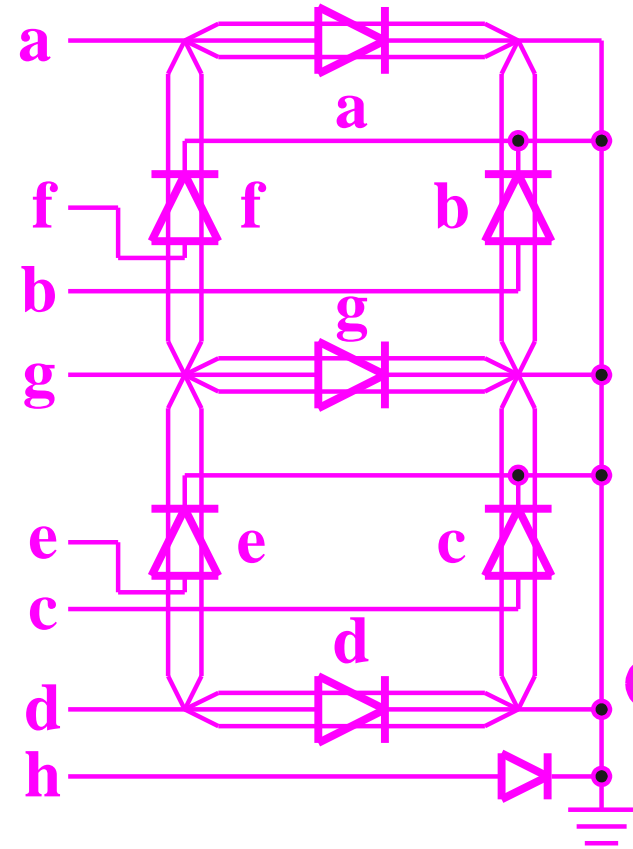
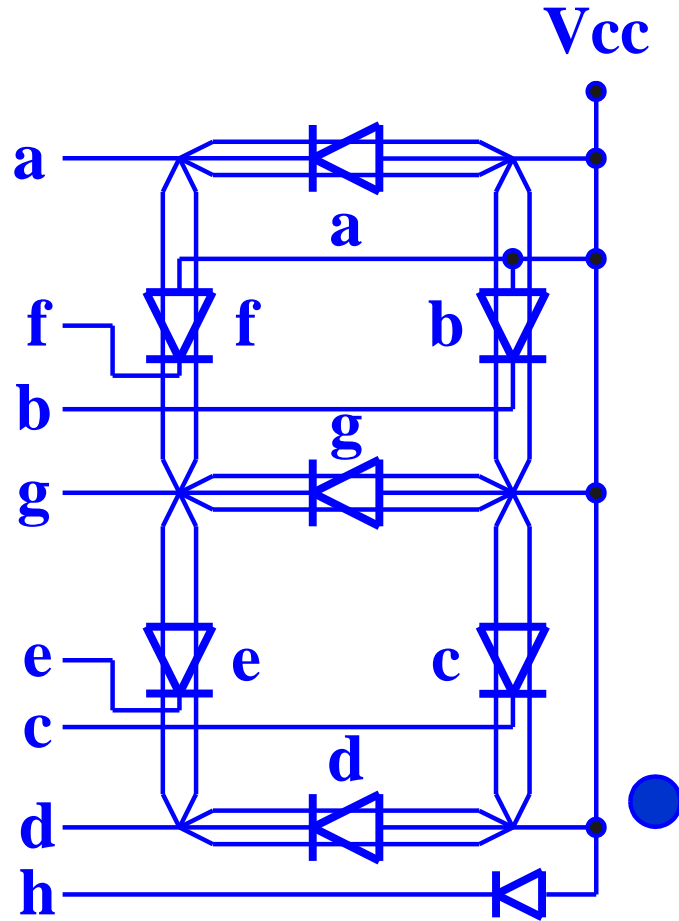
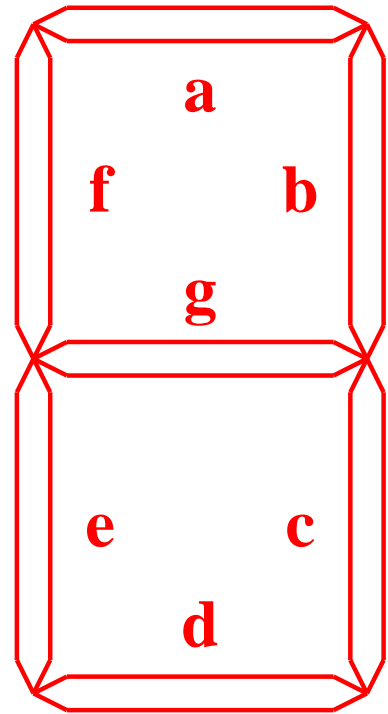
$$f = \Sigma(0,2,3,5)$$



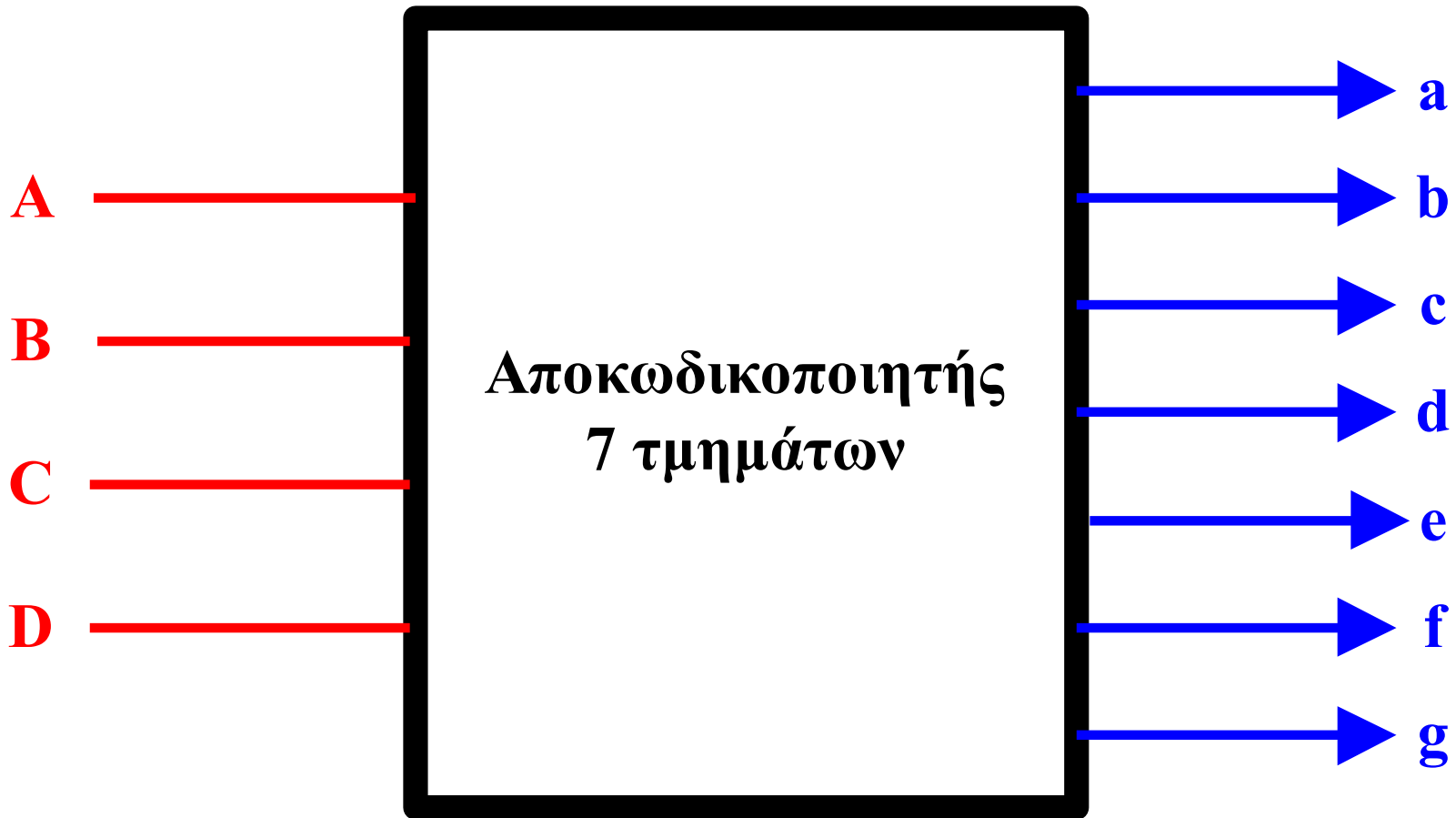
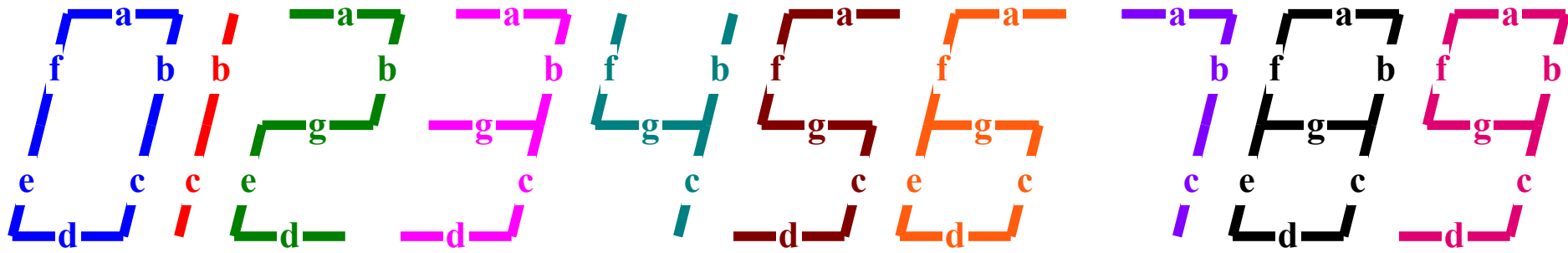
Παράδειγμα 4.12

*Να σχεδιαστεί ένα συνδυαστικό λογικό κύκλωμα (Αποκωδικοποιητής επτά τμημάτων ή *Seven segment decoder*) που θα ανάβει τα *LED* ενός ενδείκτη επτά τμημάτων (*Seven segment display*) έτσι ώστε πάντοτε να σχηματίζεται το δεκαδικό εκείνο ψηφίο του οποίου ο αντίστοιχος δυαδικός συνδυασμός εφαρμόζεται στις εισόδους του κυκλώματος.*

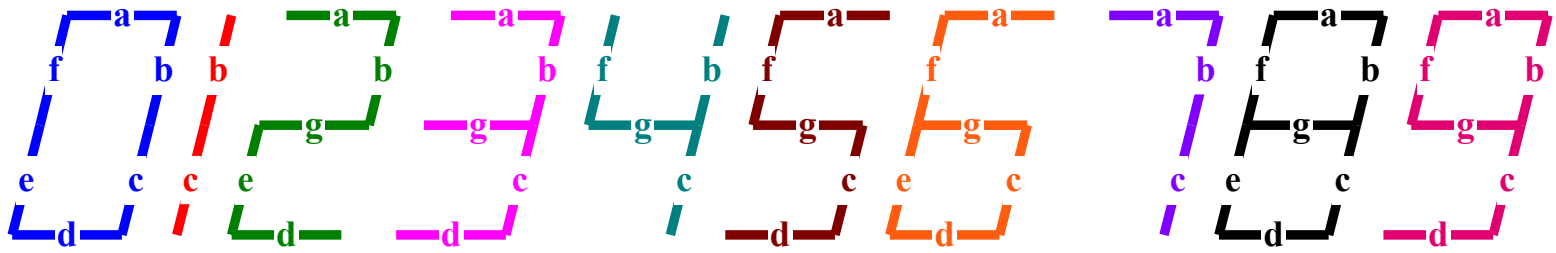
Παράδειγμα 4.12



α. Ονομασία τμημάτων **β. Δομή κοινών ανόδων** **γ. Δομή κοινών καθόδων**



Για ενδείκτες κοινής καθόδου:



	Είσοδοι				Έξοδοι							
Δεκαδικός	A	B	C	D	a	b	c	d	e	f	g	
0	0	0	0	0	1	1	1	1	1	1	0	
1	0	0	0	1	0	1	1	0	0	0	0	
2	0	0	1	0	1	1	0	1	1	0	1	
3	0	0	1	1	1	1	1	1	0	0	1	
4	0	1	0	0	0	1	1	0	0	1	1	
5	0	1	0	1	1	0	1	1	0	1	1	
6	0	1	1	0	1	0	1	1	1	1	1	
7	0	1	1	1	1	1	1	0	0	0	0	
8	1	0	0	0	1	1	1	1	1	1	1	
9	1	0	0	1	1	1	1	1	0	1	1	
10	1	0	1	0	X	X	X	X	X	X	X	
11	1	0	1	1	X	X	X	X	X	X	X	
12	1	1	0	0	X	X	X	X	X	X	X	
13	1	1	0	1	X	X	X	X	X	X	X	
14	1	1	1	0	X	X	X	X	X	X	X	
15	1	1	1	1	X	X	X	X	X	X	X	

$$F_{(a)} = \Sigma(0,2,3,5,6,7,8,9)$$

$$F_{(b)} = \Sigma(0,1,2,3,4,7,8,9)$$

$$F_{(c)} = \Sigma(0,1,3,4,5,6,7,8,9)$$

$$F_{(d)} = \Sigma(0,2,3,5,6,8,9)$$

$$F_{(e)} = \Sigma(0,2,6,8)$$

$$F_{(f)} = \Sigma(0,4,5,6,8,9)$$

$$F_{(g)} = \Sigma(2,3,4,5,6,8,9)$$

$$F_{(a)} = \Sigma(0,2,3,5,6,7,8,9)$$

$$F_{(b)} = \Sigma(0,1,2,3,4,7,8,9)$$

		AB			
		00	01	11	10
CD	00	1	0	X	1
	01	0	1	X	1
	11	1	1	X	X
	10	1	1	X	X

		AB			
		00	01	11	10
CD	00	1	1	X	1
	01	1	0	X	1
	11	1	1	X	X
	10	1	0	X	X

$$F_{(a)} = A + C + B \cdot D + \bar{B} \cdot \bar{D}$$

$$F_{(b)} = \bar{B} + C \cdot D + \bar{C} \cdot \bar{D}$$

$$F_{(c)} = \Sigma(0,1,3,4,5,6,7,8,9,)$$

$$F_{(d)} = \Sigma(0,2,3,5,6,8,9)$$

		AB			
		00	01	11	10
CD	00	1	1	X	1
	01	1	1	X	1
	11	1	1	X	X
	10	0	1	X	X

$$F_{(c)} = B + \bar{C} + D$$

		AB			
		00	01	11	10
CD	00	1	0	X	1
	01	0	1	X	1
	11	1	0	X	X
	10	1	1	X	X

$$F_{(d)} = A + \bar{B} \cdot \bar{D} + \bar{B} \cdot C + C \cdot \bar{D} + B \cdot \bar{C} \cdot D$$

$$F_{(e)} = \Sigma(0,2,6,8)$$

$$F_{(f)} = \Sigma(0,4,5,6,8,9)$$

		AB			
		00	01	11	10
CD	00	1	0	X	1
	01	0	0	X	0
	11	0	0	X	X
	10	1	1	X	X

$$F_{(e)} = \bar{B} \cdot \bar{D} + C \cdot \bar{D}$$

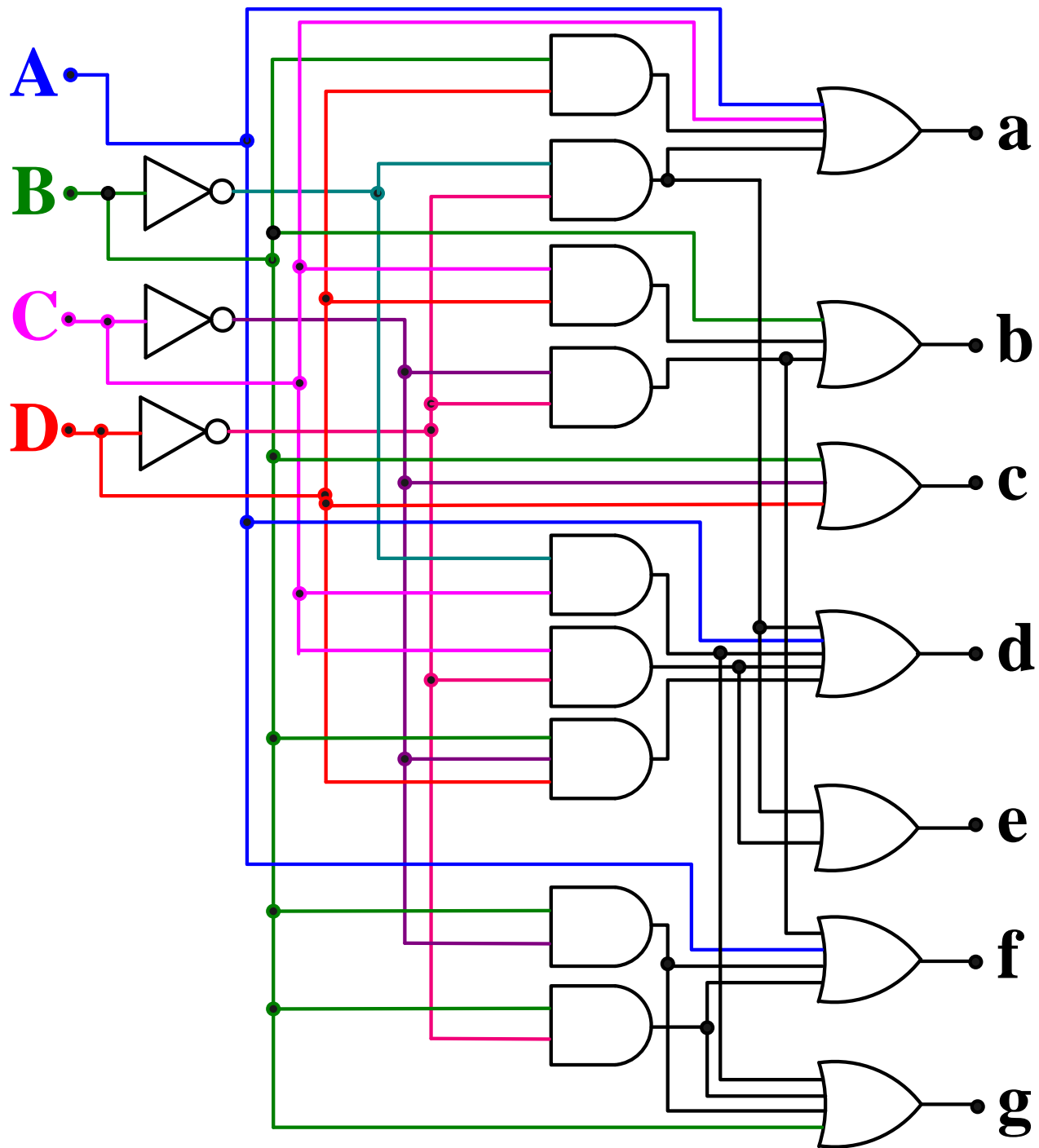
		AB			
		00	01	11	10
CD	00	1	1	X	1
	01	0	1	X	1
	11	0	0	X	X
	10	0	1	X	X

$$F_{(f)} = A + \bar{C} \cdot \bar{D} + B \cdot \bar{C} + B \cdot \bar{D}$$

$$F_{(g)} = \Sigma(2,3,4,5,6,8,9)$$

CD		AB			
		00	01	11	10
00	0	1	X	1	
01	0	1	X	1	
11	1	0	X	X	
10	1	1	X	X	

$$F_{(g)} = A + B \cdot \bar{C} + \bar{B} \cdot C + \begin{cases} C \cdot \bar{D} \\ B \cdot \bar{D} \end{cases}$$



Για ενδείκτες κοινής ανόδου:

	Είσοδοι				Έξοδοι						
Δεκαδικός	A	B	C	D	a	b	c	d	e	f	g
0	0	0	0	0	0	0	0	0	0	0	1
1	0	0	0	1	1	0	0	1	1	1	1
2	0	0	1	0	0	0	1	0	0	1	0
3	0	0	1	1	0	0	0	0	1	1	0
4	0	1	0	0	1	0	0	1	1	0	0
5	0	1	0	1	0	1	0	0	1	0	0
6	0	1	1	0	0	1	0	0	0	0	0
7	0	1	1	1	0	0	0	1	1	1	1
8	1	0	0	0	0	0	0	0	0	0	0
9	1	0	0	1	0	0	0	0	1	0	0
10	1	0	1	0	X	X	X	X	X	X	X
11	1	0	1	1	X	X	X	X	X	X	X
12	1	1	0	0	X	X	X	X	X	X	X
13	1	1	0	1	X	X	X	X	X	X	X
14	1	1	1	0	X	X	X	X	X	X	X
15	1	1	1	1	X	X	X	X	X	X	X

$$F_{(a)} = D_2 \cdot \bar{D}_1 \cdot \bar{D}_0 + \bar{D}_3 \cdot \bar{D}_2 \cdot \bar{D}_1 \cdot D_0$$

$$F_{(b)} = D_2 \cdot \bar{D}_1 \cdot D_0 + D_2 \cdot D_1 \cdot \bar{D}_0$$

$$F_{(c)} = \bar{D}_2 \cdot D_1 \cdot \bar{D}_0$$

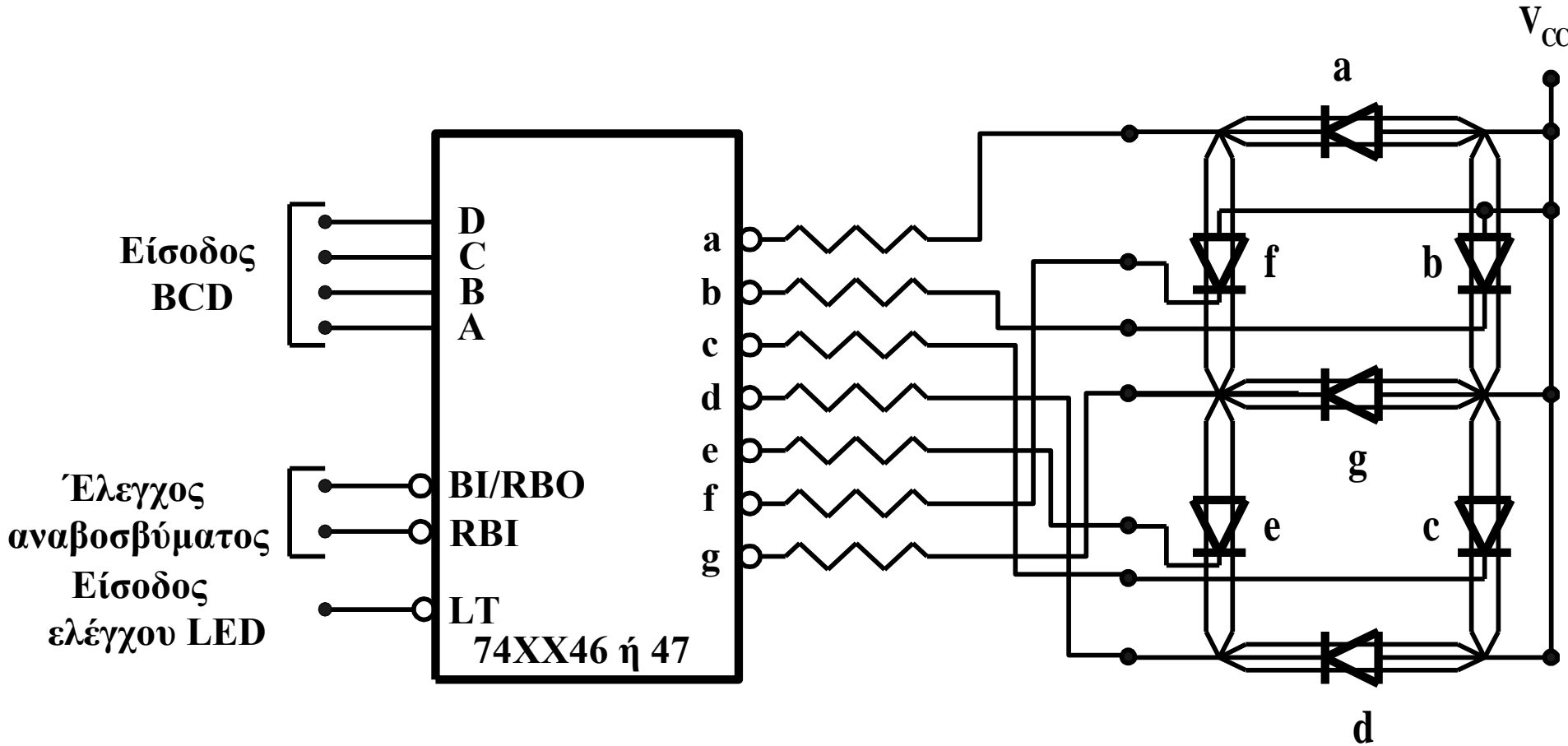
$$F_{(d)} = D_2 \cdot \bar{D}_1 \cdot \bar{D}_0 + \bar{D}_3 \cdot \bar{D}_2 \cdot \bar{D}_1 \cdot D_0 + D_2 \cdot D_1 \cdot D_0$$

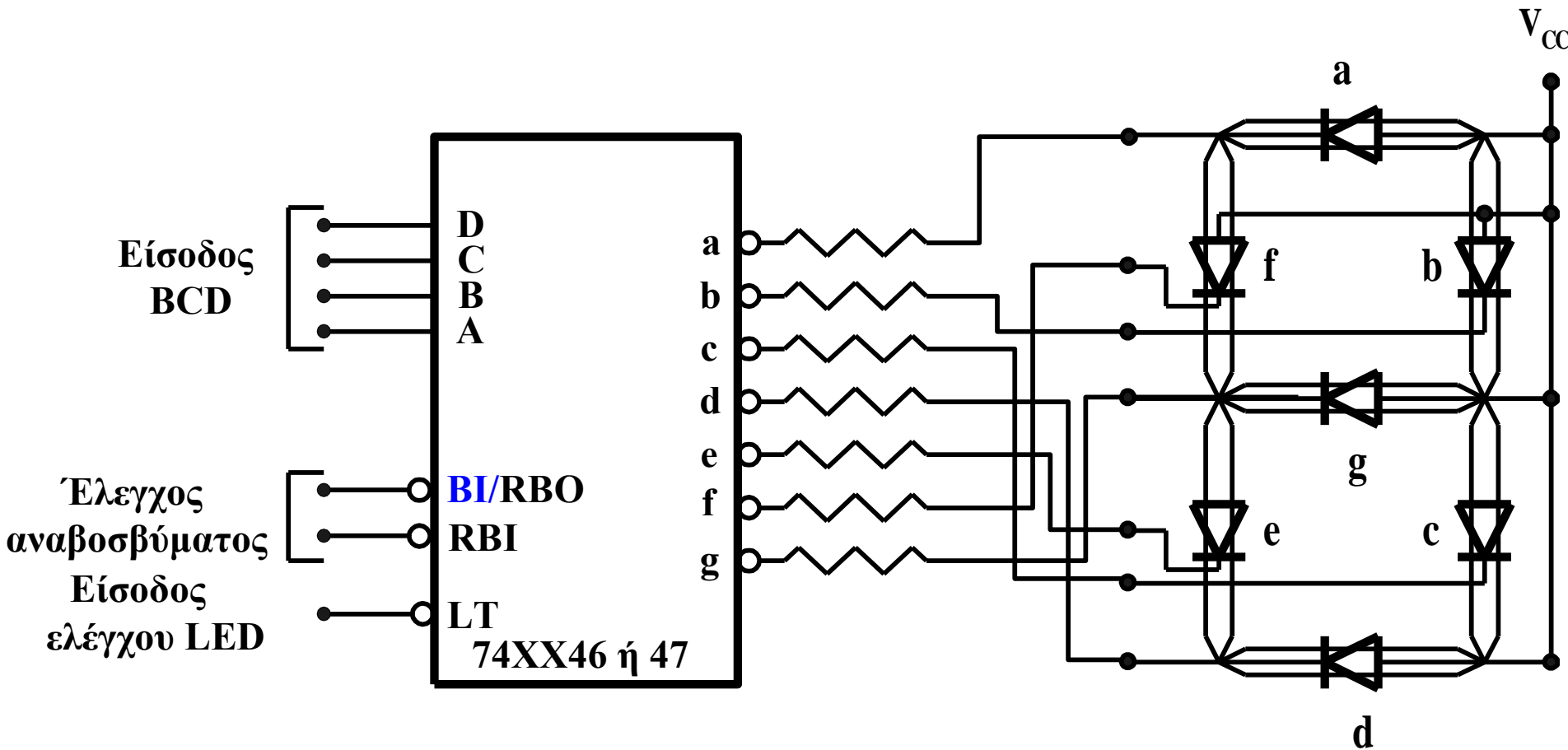
$$F_{(e)} = D_0 + D_2 \cdot \bar{D}_1$$

$$F_{(f)} = D_1 \cdot D_0 + \bar{D}_2 \cdot D_1 + \bar{D}_3 \cdot \bar{D}_2 \cdot D_0$$

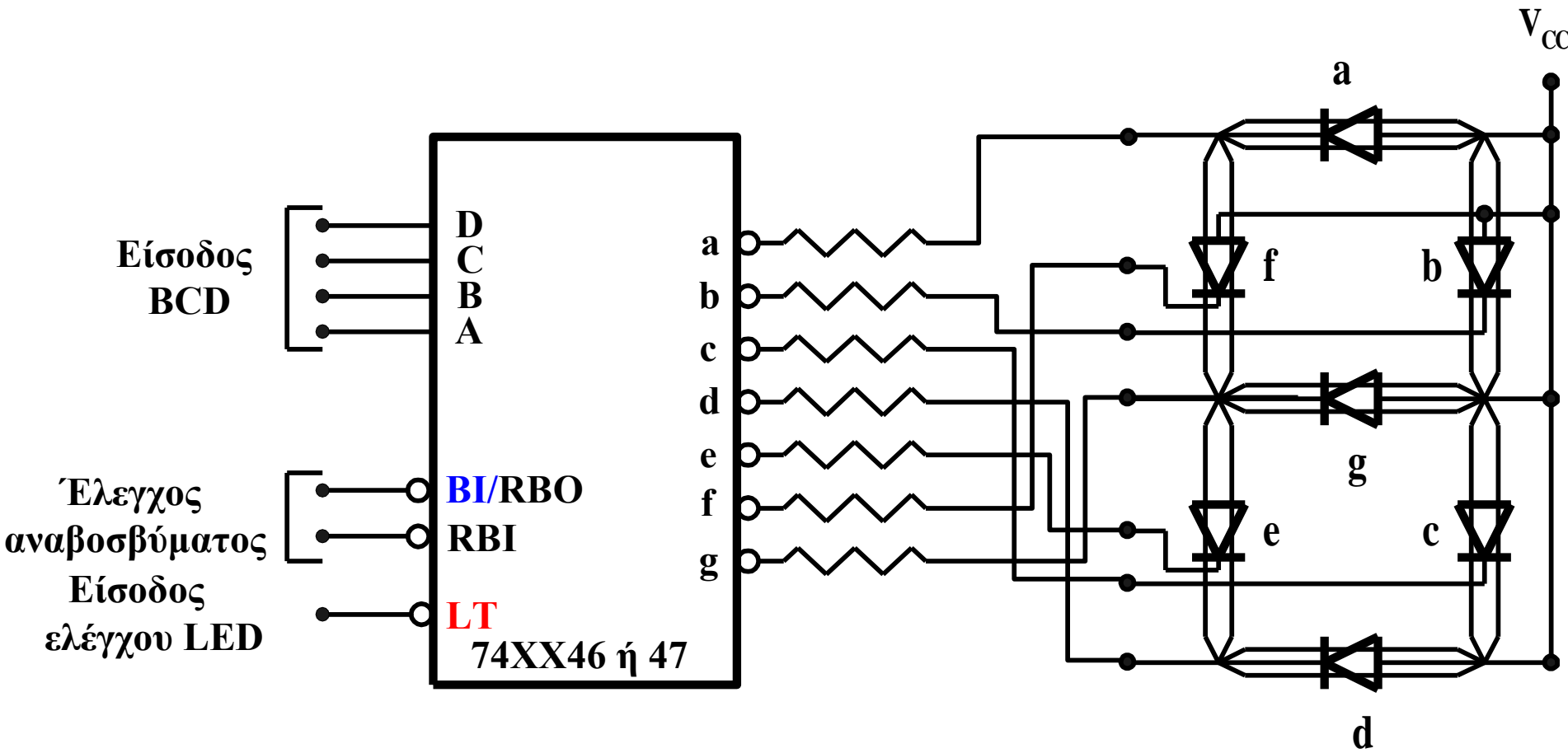
$$F_{(g)} = \bar{D}_3 \cdot \bar{D}_2 \cdot \bar{D}_1 + D_2 \cdot D_1 \cdot D_0$$

Αποκωδικοποιητής 74XX46 ή 47

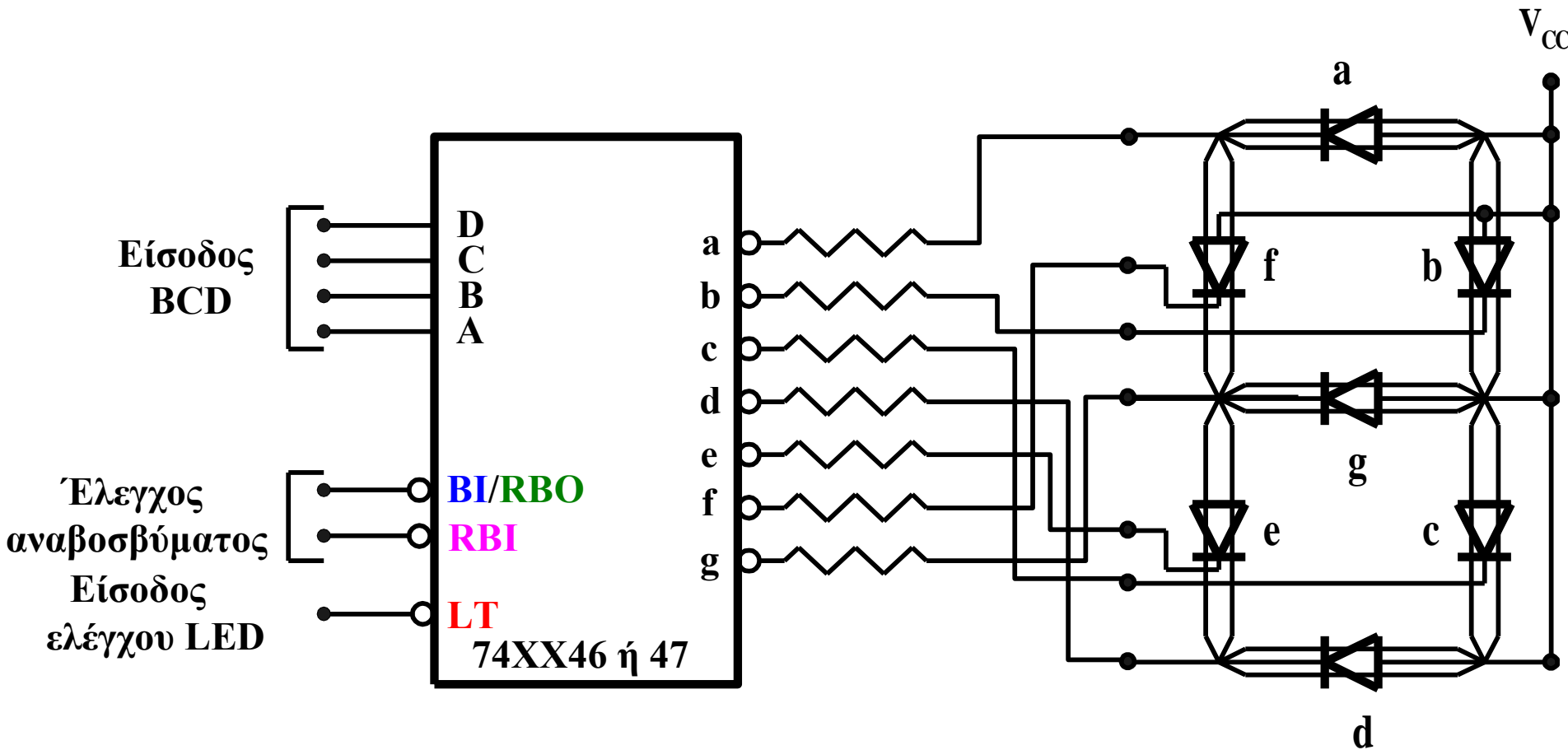




Η είσοδος **/BI** επικρατεί όλων των άλλων εισόδων και όταν ενεργοποιείται, απενεργοποιεί όλες τις εξόδους ανεξάρτητα απ' τις καταστάσεις των εισόδων.



Η είσοδος **LT** χρησιμοποιείται για τον έλεγχο των LED και όταν ενεργοποιείται, ανάβουν όλα τα LED.



Η είσοδος **/RBO** έχει σχεδιαστεί να ενεργοποιείται όταν ενεργοποιείται η είσοδος **/RBI** και στην είσοδο εφαρμόζεται η BCD τιμή 0.

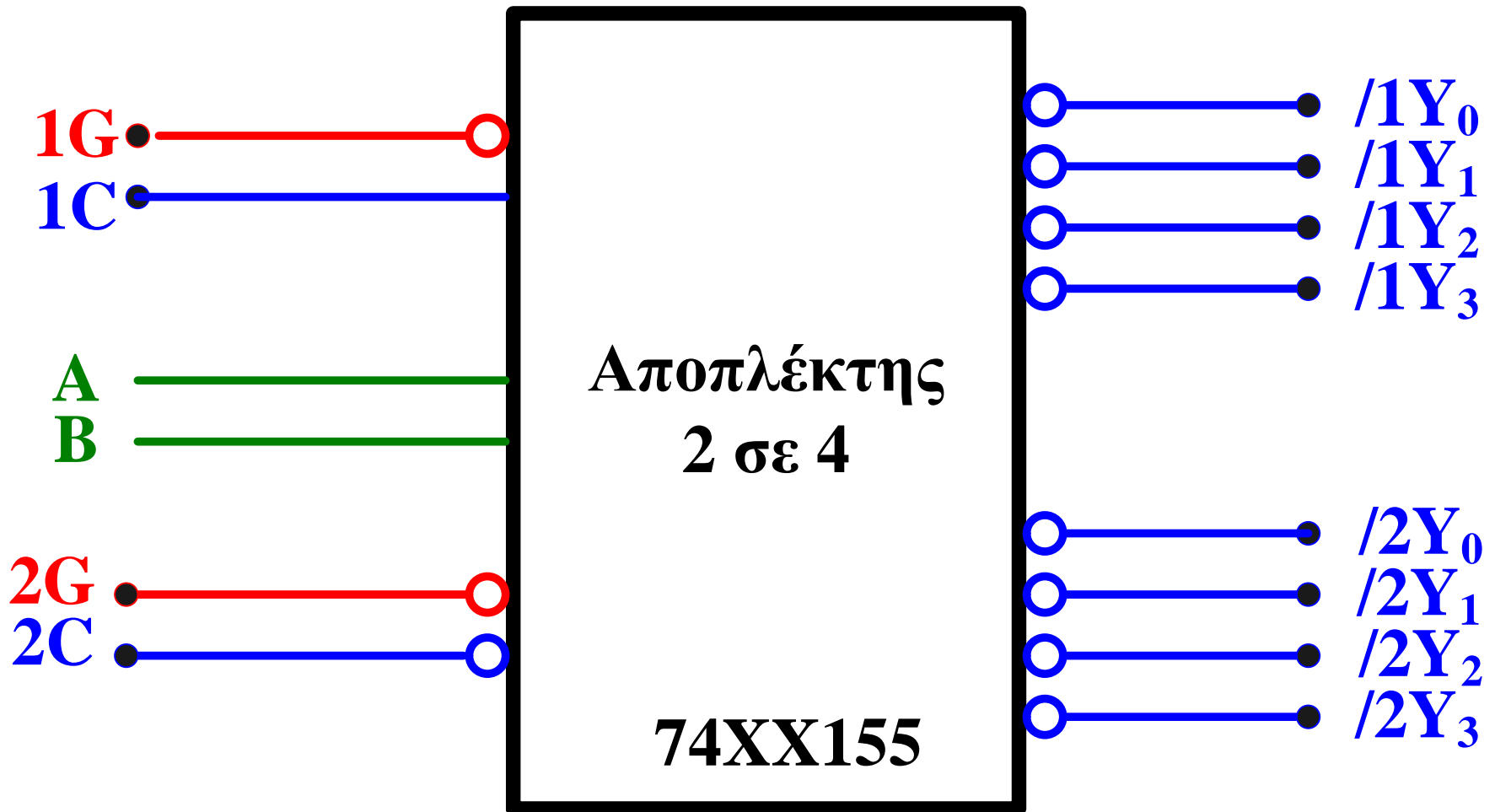
Όταν πρόκειται για ενδείκτες δεκαδικού αριθμού πολλών ψηφίων με ακέραιο και δεκαδικό μέρος τότε:

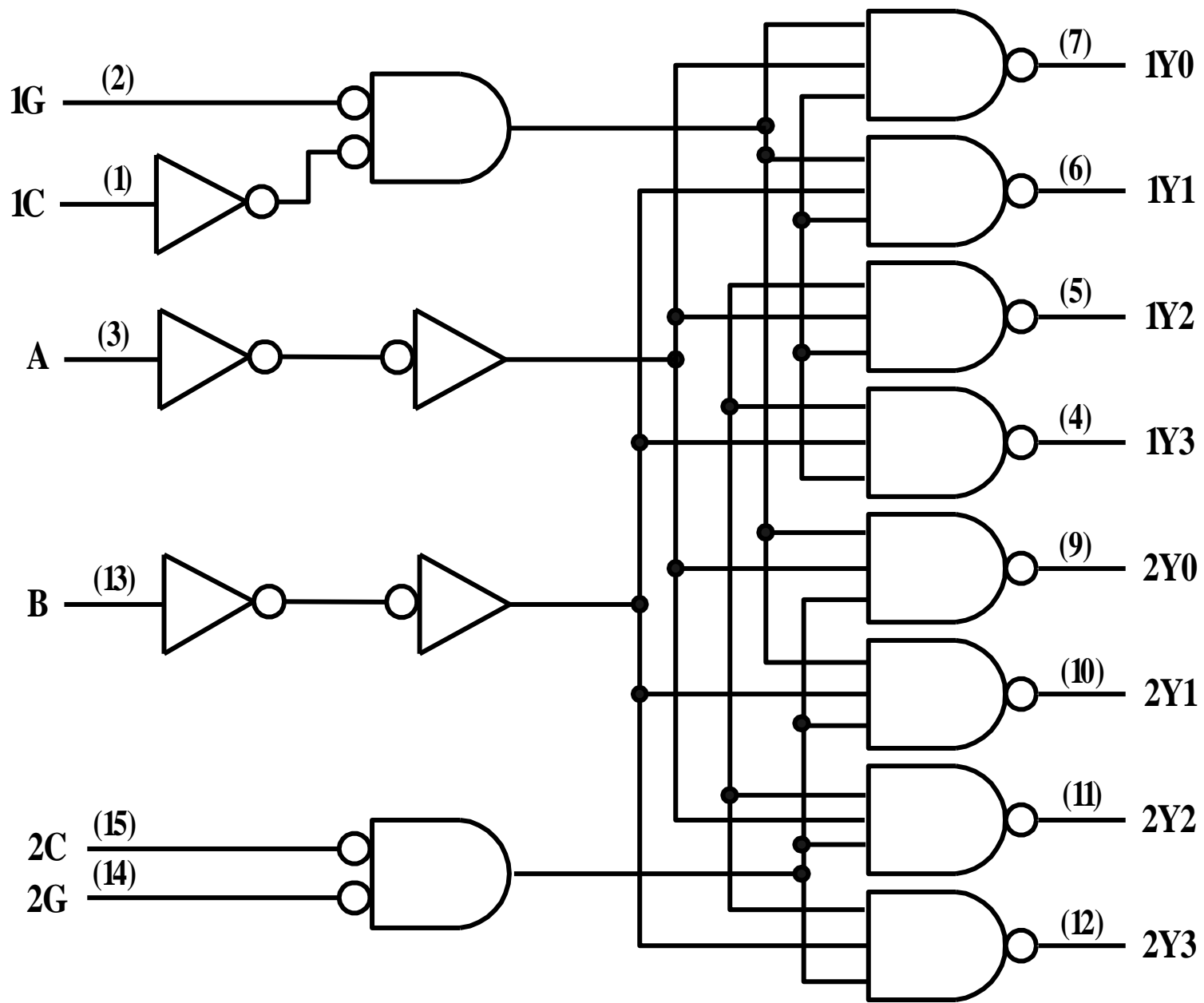
- για μεν το ακέραιο μέρος η είσοδος **/RBO** συνδέεται στην είσοδο **/RBI** του ενδείκτη του επόμενου λιγότερο σημαντικού δεκαδικού ψηφίου με την είσοδο του περισσότερου σημαντικού ψηφίου σε λογικό "0",
- για δε το δεκαδικό μέρος η είσοδος **/RBI** του προηγούμενου ολοκληρωμένου συνδέεται στην είσοδο **/RBO** του ενδείκτη του επόμενου λιγότερου σημαντικού ψηφίου η είσοδος **/RBI** του τελευταίου (λιγότερο σημαντικού ενδείκτη) σε λογικό "0".

Αυτό θα έχει ως αποτέλεσμα να σβήνουν όλα τα μηδενικά που βρίσκονται στην αρχή του πολυψήφιου δεκαδικού καθώς και τα μηδενικά που υπάρχουν στο τέλος του δεκαδικού μέρους του αριθμού ενώ δε θα συμβαίνει το ίδιο για τα μηδενικά που υπάρχουν ενδιάμεσα στο αριθμό.

Για παράδειγμα, ο αριθμός **00205.1200** θα εμφανιστεί ως **_ 205.12 _ _** με τα δύο μηδενικά που βρίσκονται στις περισσότερο σημαντικές θέσεις και τα δύο μηδενικά που βρίσκονται στις λιγότερο σημαντικές θέσεις να είναι σβησμένα.

Αποπλέκτης/Αποκωδικοποιητής 74XX155





Πίνακας 4.23

Είσοδοι				Έξοδοι			
B	A	1G/2G	1C/2C	1Y₀/2Y₀	1Y₁/2Y₁	1Y₂/2Y₂	1Y₃/2Y₃
X	X	1	X	1	1	1	1
0	0	0	1	0	1	1	1
0	1	0	1	1	0	1	1
1	0	0	1	1	1	0	1
1	1	0	1	1	1	1	0
X	X	X	0	1	1	1	1

Πίνακας 4.24

Είσοδοι				Έξοδοι							
C	B	A	G	$2Y_0$	$2Y_1$	$2Y_2$	$2Y_3$	$1Y_0$	$1Y_1$	$1Y_2$	$1Y_3$
X	X	X	1	1	1	1	1	1	1	1	1
0	0	0	0	0	1	1	1	1	1	1	1
0	0	1	0	1	0	1	1	1	1	1	1
0	1	0	0	1	1	0	1	1	1	1	1
0	1	1	0	1	1	1	0	1	1	1	1
1	0	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	0	1	1
1	1	0	0	1	1	1	1	1	1	0	1
1	1	1	0	1	1	1	1	1	1	1	0

Πίνακας 4.23

Είσοδοι				Έξοδοι			
B	A	1G/2G	1C/2C	1Y ₀ /2Y ₀	1Y ₁ /2Y ₁	1Y ₂ /2Y ₂	1Y ₃ /2Y ₃
X	X	1	X	1	1	1	1
0	0	0	1	0	1	1	1
0	1	0	1	1	0	1	1
1	0	0	1	1	1	0	1
1	1	0	1	1	1	1	0
X	X	X	0	1	1	1	1

Ο πίνακας 4.23 είναι στην ουσία δύο όμοιοι πίνακες που αφορούν σε δύο όμοιους αποπλέκτες μιας γραμμής σε τέσσερις.

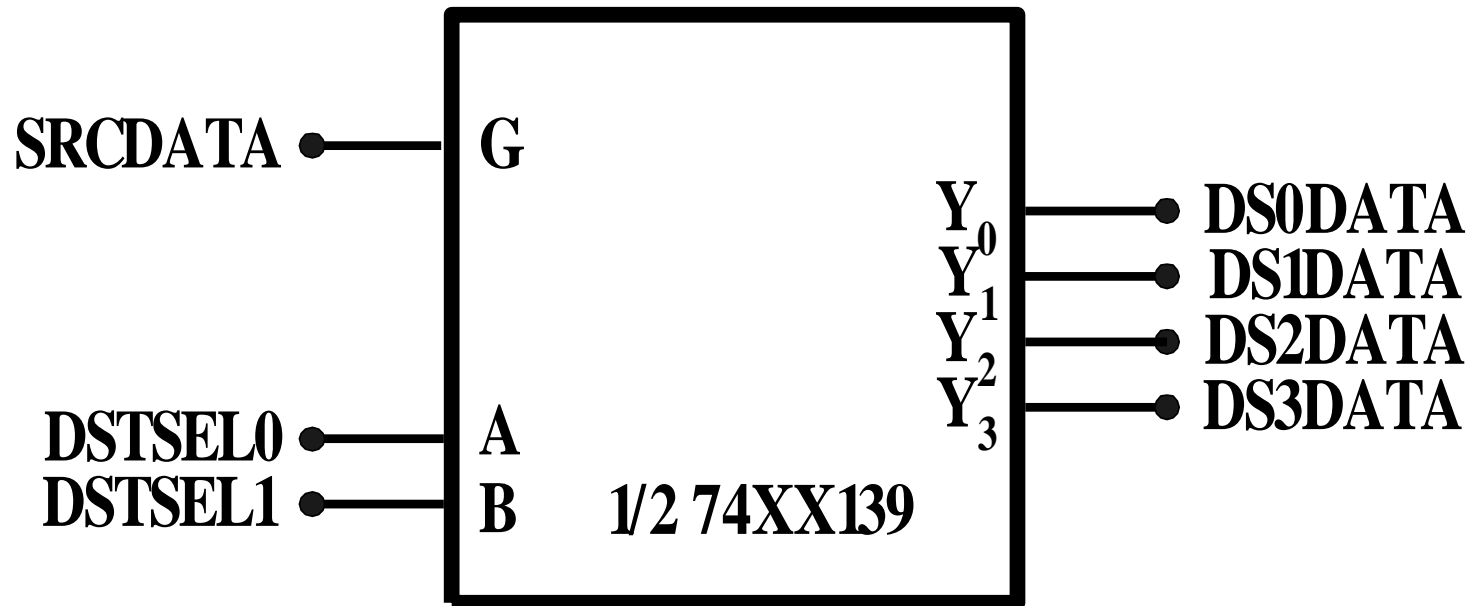
Ο πρώτος αποπλέκτης έχει εισόδους *A*, *B*, *1G* και *1C* και εξόδους *1Y₀*, *1Y₁*, *1Y₂*, *1Y₃*. Ο δεύτερος αποπλέκτης έχει εισόδους *A*, *B*, *2G* και *2C* και εξόδους *2Y₀*, *2Y₁*, *2Y₂*, *2Y₃*.

Πίνακας 4.24

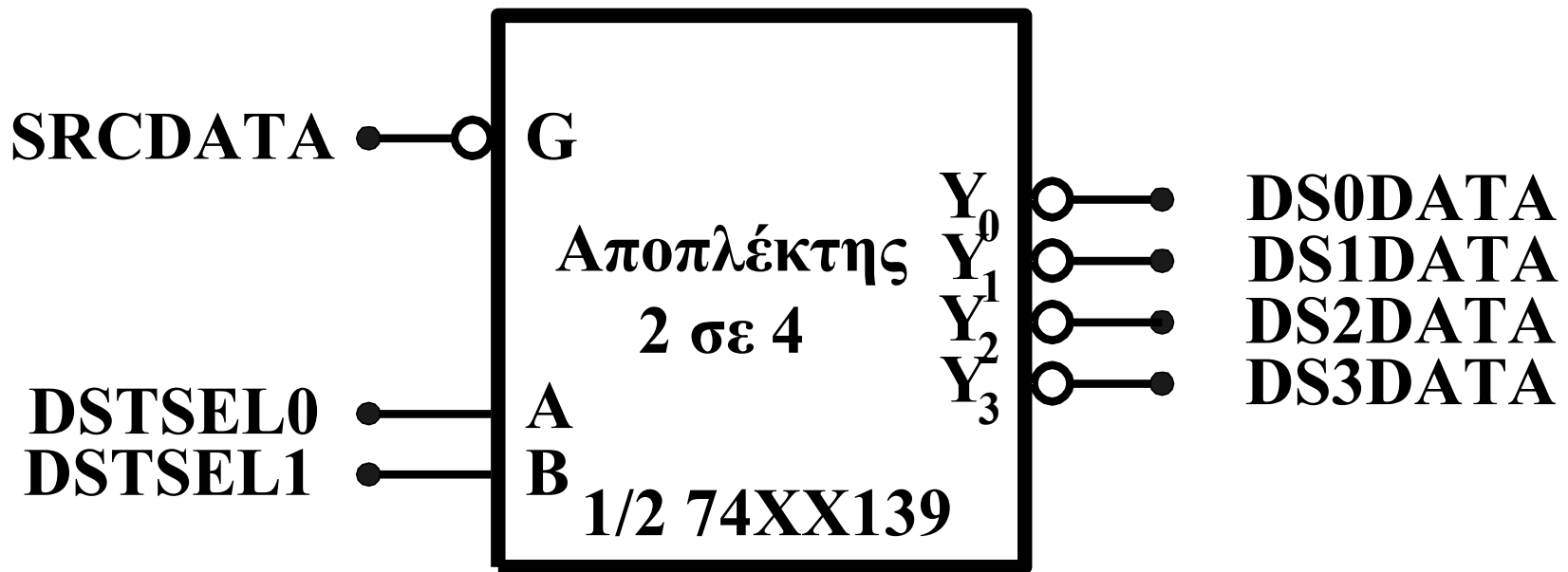
Είσοδοι				Έξοδοι							
C	B	A	G	$2Y_0$	$2Y_1$	$2Y_2$	$2Y_3$	$1Y_0$	$1Y_1$	$1Y_2$	$1Y_3$
X	X	X	1	1	1	1	1	1	1	1	1
0	0	0	0	0	1	1	1	1	1	1	1
0	0	1	0	1	0	1	1	1	1	1	1
0	1	0	0	1	1	0	1	1	1	1	1
0	1	1	0	1	1	1	0	1	1	1	1
1	0	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	0	1	1
1	1	0	0	1	1	1	1	1	1	0	1
1	1	1	0	1	1	1	1	1	1	1	0

Ο πίνακας 4.24 περιγράφει τη λειτουργία του ολοκληρωμένου ως ενός αποκωδικοποιητή 3 σε 8. Εδώ οι γραμμές $1C$ και $2C$ είναι βραχυκυκλωμένες και λειτουργούν ως μία γραμμή C . Το ίδιο ισχύει και για τις γραμμές $1G$ και $2G$.

Ένας δυαδικός αποκωδικοποιητής μπορεί να χρησιμοποιηθεί και ως αποπλέκτης, όπως φαίνεται και στο σχήμα.



Αποκωδικοποιητής 2 σε 4 (μισό 74XX139)



Ο αποκωδικοποιητής 2 σε 4 (μισό 74XX139) ως αποπλέκτης 2 σε 4.

Με την ίδια λογική και ο αποκωδικοποιητής 74XX138 μπορεί να συνδεθεί να λειτουργεί ως αποπλέκτης 1 σε 8.