



ΔΗΜΟΚΡΙΤΕΙΟ ΠΑΝΕΠΙΣΤΗΜΙΟ ΘΡΑΚΗΣ
ΣΧΟΛΗ ΘΕΤΙΚΩΝ ΕΠΙΣΤΗΜΩΝ
ΤΜΗΜΑ ΠΛΗΡΟΦΟΡΙΚΗΣ

ΜΑΘΗΜΑ
ΨΗΦΙΑΚΗ ΣΧΕΔΙΑΣΗ (106ΕΥΥΚ)
ΧΕΙΜΕΡΙΝΟ 2024-2025

Εισαγωγική Διάλεξη:

**Η Σύγχρονη Ροή Σχεδίασης Ψηφιακών
Συστημάτων**

Δ. Καραμπατζάκης, Επίκουρος Καθηγητής
email. dkara@cs.duth.gr

Δήλωση προσβασιμότητας

Σε αυτό το μάθημα όλες/οι οι φοιτήτριες/τές απολαμβάνουν – και αντίστοιχα υποχρεούνται να σέβονται – το δικαίωμα της ίσης μεταχείρισης. Δεν είναι ανεκτή και αποδεκτή κανενός τύπου και μορφής διάκριση με κριτήρια την εθνικότητα, τη φυλή, την καταγωγή, τη γλώσσα, το φύλο, τη θρησκεία, την ηλικία, την υγεία, τη σωματική ικανότητα, την ιδιωτική ζωή, τον γενετήσιο προσανατολισμό, τη σωματική ικανότητα και την οικονομική και κοινωνική κατάσταση στην οποία αυτοί βρίσκονται.

Το Πανεπιστήμιο άγρυπνα μεριμνά για τη διασφάλιση της αρχής των ίσων ευκαιριών και της ίσης μεταχείρισης. Οι κοινωνικές προκαταλήψεις και οι ιδεολογικές παρωπίδες είναι έννοιες τελείως ξένες με την επιστημονική πρόοδο την οποία το Πανεπιστήμιο είναι ταγμένο να υπηρετεί.

Ο Διδάσκων

Πληροφορίες για το Μάθημα

Διδάσκων:

Δημήτρης Καραμπατζάκης, Επίκουρος Καθηγητής
Αναλογικά και Ψηφιακά Ηλεκτρονικά Συστήματα
Μέλος Εργαστηρίου Βιομηχανικών και Εκπαιδευτικών
Ενσωματωμένων Συστημάτων

Επικοινωνία / πληροφορίες:

Email. dkara@cs.duth.gr

web. <http://www.internetofthings.gr/>

Ώρες Γραφείου:

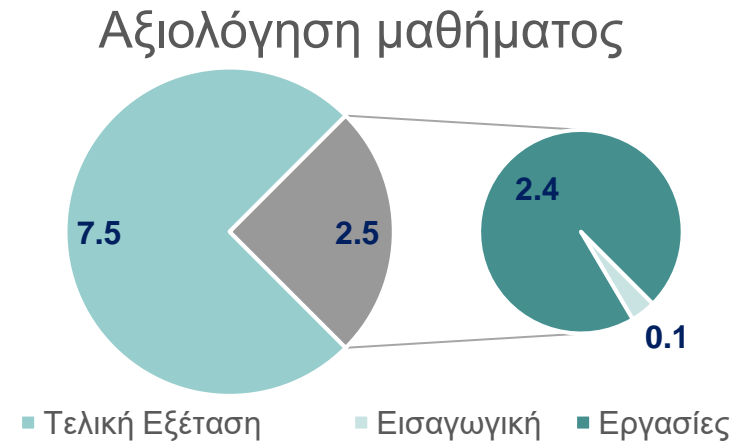
Τετάρτη και Πέμπτη 10.00 π.μ. -12.00 μ.μ.,
μετά από συνεννόηση με email στο ΦΕ 315 (πάνω από αιθ. Α1)

Πληροφορίες για το Μάθημα (Γενικές)

- Κάθε Τρίτη 10.00 π.μ. - 12.00 μ.μ. και Πέμπτη 13.00 μ.μ. - 15.00 μ.μ. μάθημα θεωρίας στο Μεγάλο Αμφιθέατρο (μπορεί να αλλάξει με ανακοινώσεις).
- Η διαχείριση του μαθήματος θα γίνει με χρήση της υπηρεσίας <https://courses.cs.duth.gr>
- Όλοι οι φοιτητές πρέπει να έχουν λογαριασμό στο [uregister](#).
- Η ιστοσελίδα με τις πληροφορίες του μαθήματος: http://iees.cs.ihu.gr/?page_id=3096
- Υλικό του μαθήματος στο moodle: <https://moodle.cs.duth.gr/>

Πληροφορίες για το Μάθημα (Αξιολόγηση)

- Η βαθμολογία είναι **75%** από την τελική εξέταση και **25%** από τις ατομικές εργασίες (1+1 σετ ασκήσεων) που θα δοθούν για το σπίτι.
- Η τελική εξέταση είναι με ανοιχτό το κύριο σύγγραμμα του μαθήματος.
- Ο βαθμός του μαθήματος ($BM = ΓΕ * 0,75 + ΣΑ * 0,25$) πρέπει να είναι τουλάχιστον πέντε (5).



Πληροφορίες για το Μάθημα (Μονάδες)

- Κωδικός Μαθήματος: 106ΕΥΥΚ
- Εξάμηνο: 1ο
- Τύπος Μαθήματος: Υποβάθρου, Ανάπτυξης Δεξιοτήτων
- Είδος Μαθήματος: Υποχρεωτικό (ΥΠ)
- Διδασκαλία Θεωρίας: 3 ώρες/εβδομάδα
- Διδασκαλία Φροντιστήριο: 1 ώρες/εβδομάδα
- Πιστωτικές μονάδες ECTS: 7
- Γλώσσα διδασκαλίας και Εξετάσεων: Ελληνικά

Πληροφορίες για το Μάθημα (Φόρτος)

● Δραστηριότητα	Φόρτος εργασίας εξαμήνου
● Διαλέξεις	78 ώρες
● Φροντιστηριακές Ασκήσεις	26 ώρες
● Γραπτές Εξετάσεις	2 ώρες
● Γραπτές Εργασίες	34 ώρες
● Αυτοτελής Μελέτη	35 ώρες
● Σύνολο	175 ώρες (7 ECTS)

Κύριο Σύγγραμμα Μαθήματος (ΕΥΔΟΞΟΣ)






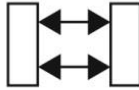
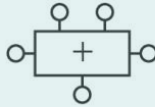

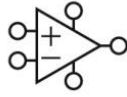

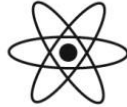
Ψηφιακή Σχεδίαση με τις Γλώσσες VHDL και Verilog

Συγγραφέας: Πογαρίδης Δημήτριος

Έτος Έκδοσης: 2019

Κωδικός στον Εύδοξο: **86192991**

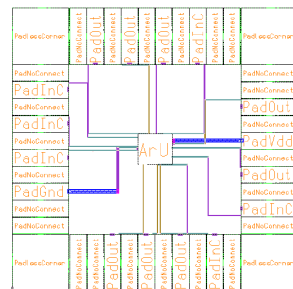
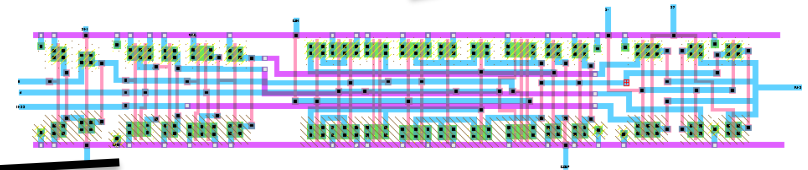
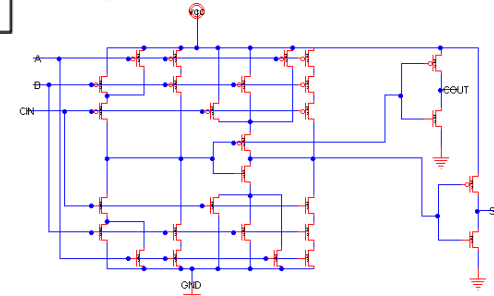
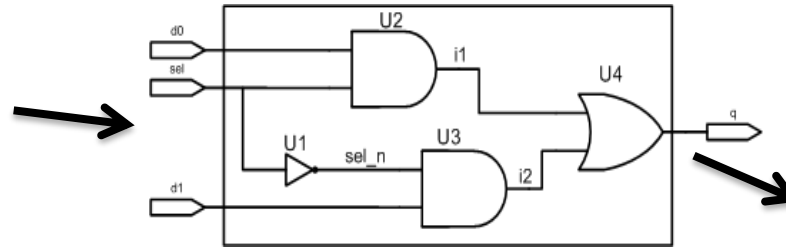
Επίπεδα Αφαίρεσης

Application Software		Programs
Operating Systems		Device Drivers
Architecture		Instructions Registers
Micro-architecture		Datapaths Controllers
Logic		Adders Memories
Digital Circuits		AND Gates NOT Gates
Analog Circuits		Amplifiers Filters
Devices		Transistors Diodes
Physics		Electrons

Copyright © 2016 Elsevier Ltd. All rights reserved.

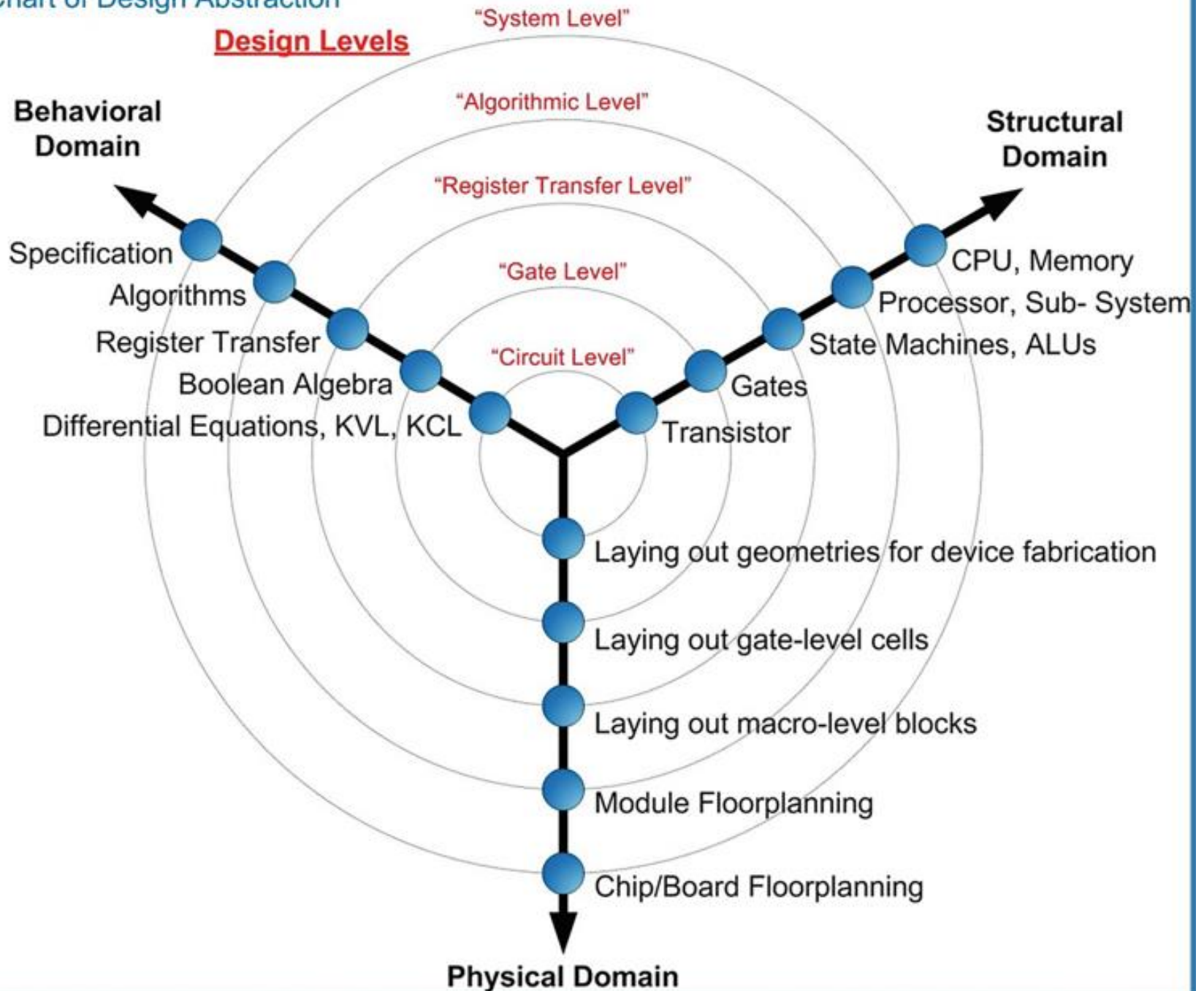
Σύγχρονες Ροές Σχεδίασης

```
source - proc.v
File Edit View Tools Window
C:/modeltech/examples/mixedHDL/proc.v
75 // Read back 10 locations
76 for (a = 0; a < 10; a = a + 1)
77 // uncomment for waveform
78 //      $io.read(a, d);
79 read(a, d);
80 if (d != a)
81     $display("%t: Read/Wr");
82 end
83
84 if (verbose) $display("Read/Wr");
85 $copy();
86 end
87 end
88 endmodule
89
```

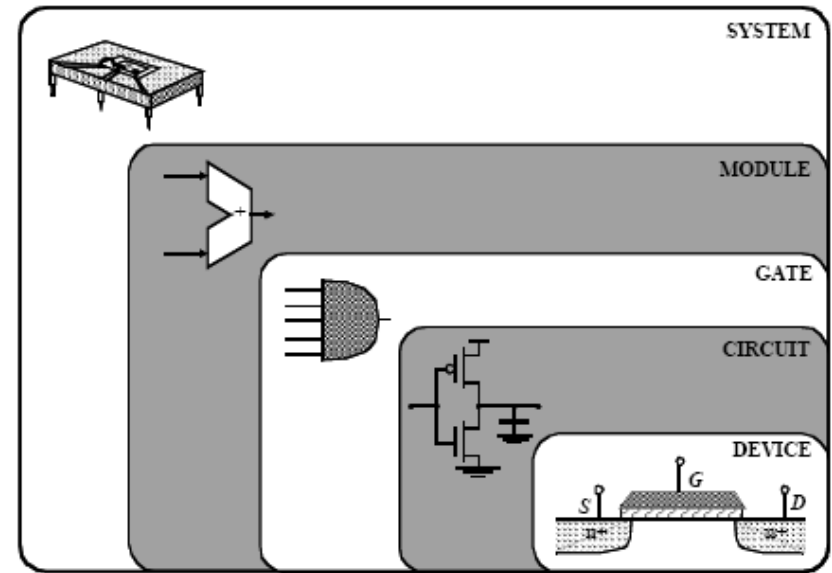
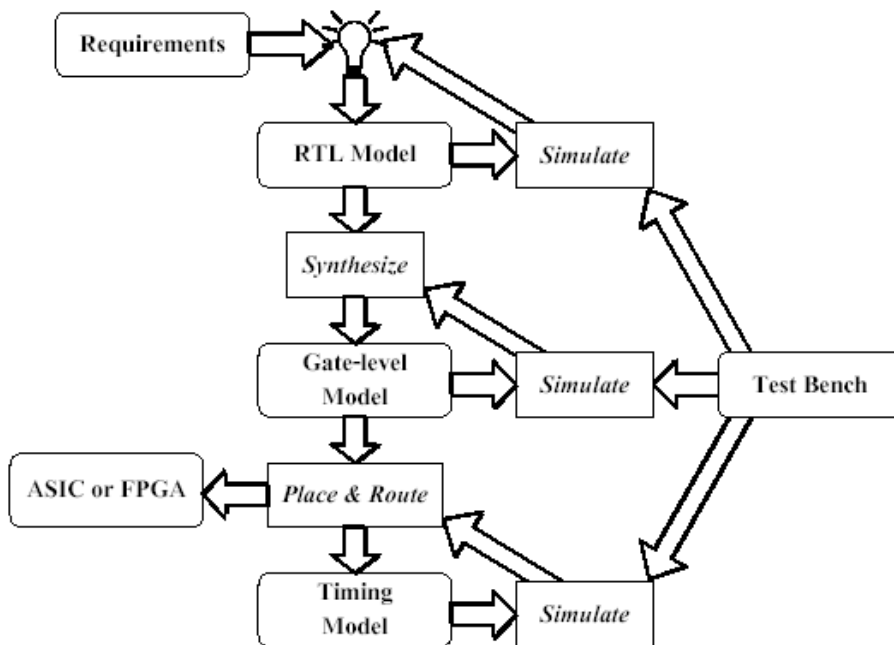


Y-Chart of Design Abstraction

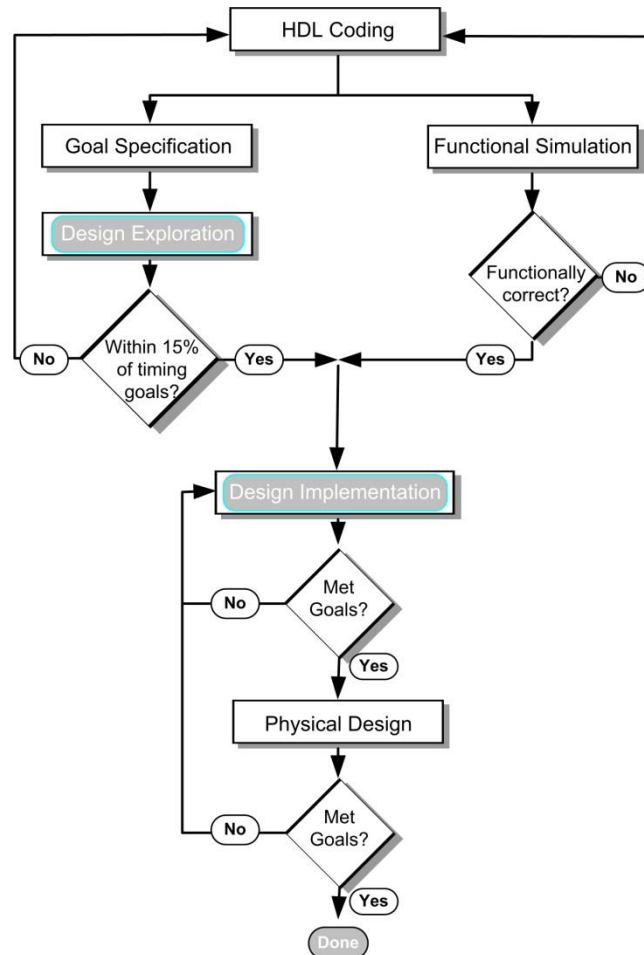
Design Levels



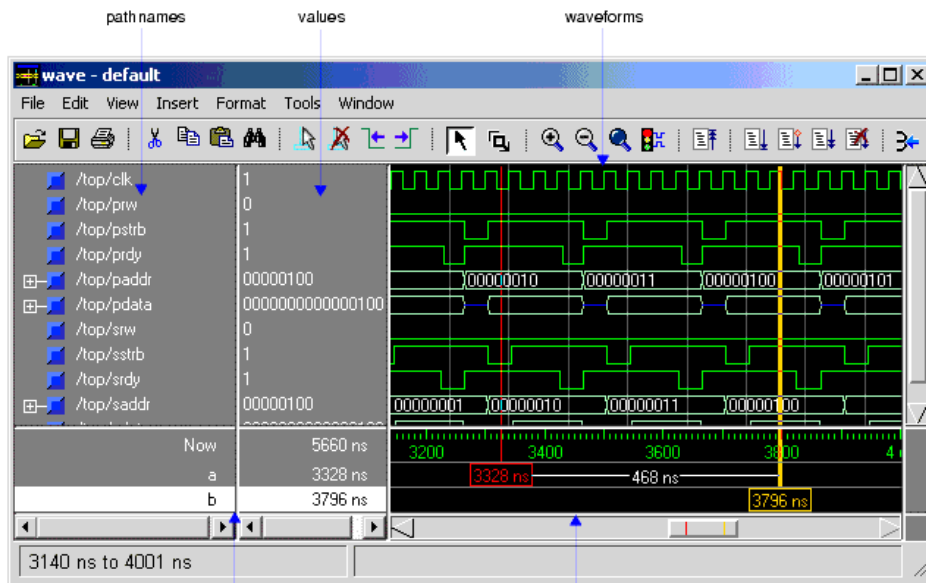
Design Flow – Ροή Σχεδίασης (1)



Design Flow – Ροή Σχεδίασης (2)



Προσομοίωση - Simulation



cursors names and values

cursors

```

75 // Read back 10 locations
76 for (a = 0; a < 10; a = a + 1)
77 // uncomment for wavecompare
78 // #10 read(a, d);
79 read(a, d);
80 if (d != a)
81     $display("%t: Read/Wr
82
83
84 if (verbose) $display("Read/Wr
85     $stop(1);
86
87 end
88 endmodule
89
    
```

```

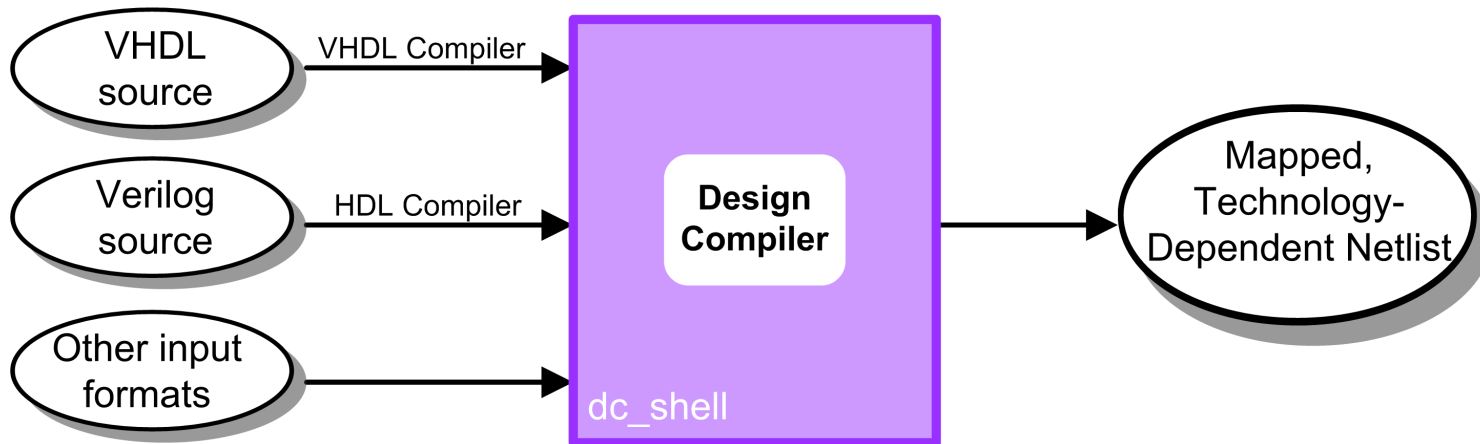
ns compare:/top/clk<>clk\ compare:/top/paddr<>paddr\
delta compare:/top/prw<>prw\
compare:/top/pstrb<>pstrb\
compare:/top/prdy<>prdy\

1980 +0 1 1 0 0 1 1 1 1 00001001 00001001 00
1985 +0 1 1 0 0 1 1 1 1 00001001 00001001 00
1990 +0 1 1 0 0 1 1 0 0 00001001 00001001 00
2000 +0 0 0 0 0 1 1 0 0 00001001 00001001 00
2020 +0 1 1 0 0 1 1 0 0 00001001 00001001 00
2025 +0 1 1 1 0 0 1 1 1 00000000 00001001 22
2035 +0 1 1 1 1 0 0 1 1 00000000 00000000 22
2040 +0 0 0 1 1 0 0 1 1 00000000 00000000 22
2060 +0 1 1 1 1 0 0 1 1 00000000 00000000 22
2065 +0 1 1 1 1 1 1 0 0 00000000 00000000 00
2080 +0 0 0 1 1 1 1 0 0 00000000 00000000 00
2100 +0 1 1 1 1 1 1 0 0 00000000 00000000 00
2105 +0 1 1 1 1 0 0 1 1 00000001 00000000 22
2120 +0 0 0 1 1 0 0 1 1 00000001 00000000 22
2140 +0 1 1 1 1 0 0 1 1 00000001 00000000 22
2145 +0 difference markers 1 0 0 00000001 00000000 22
2160 +0 0 0 1 1 1 1 0 0 00000001 00000000 22
    
```

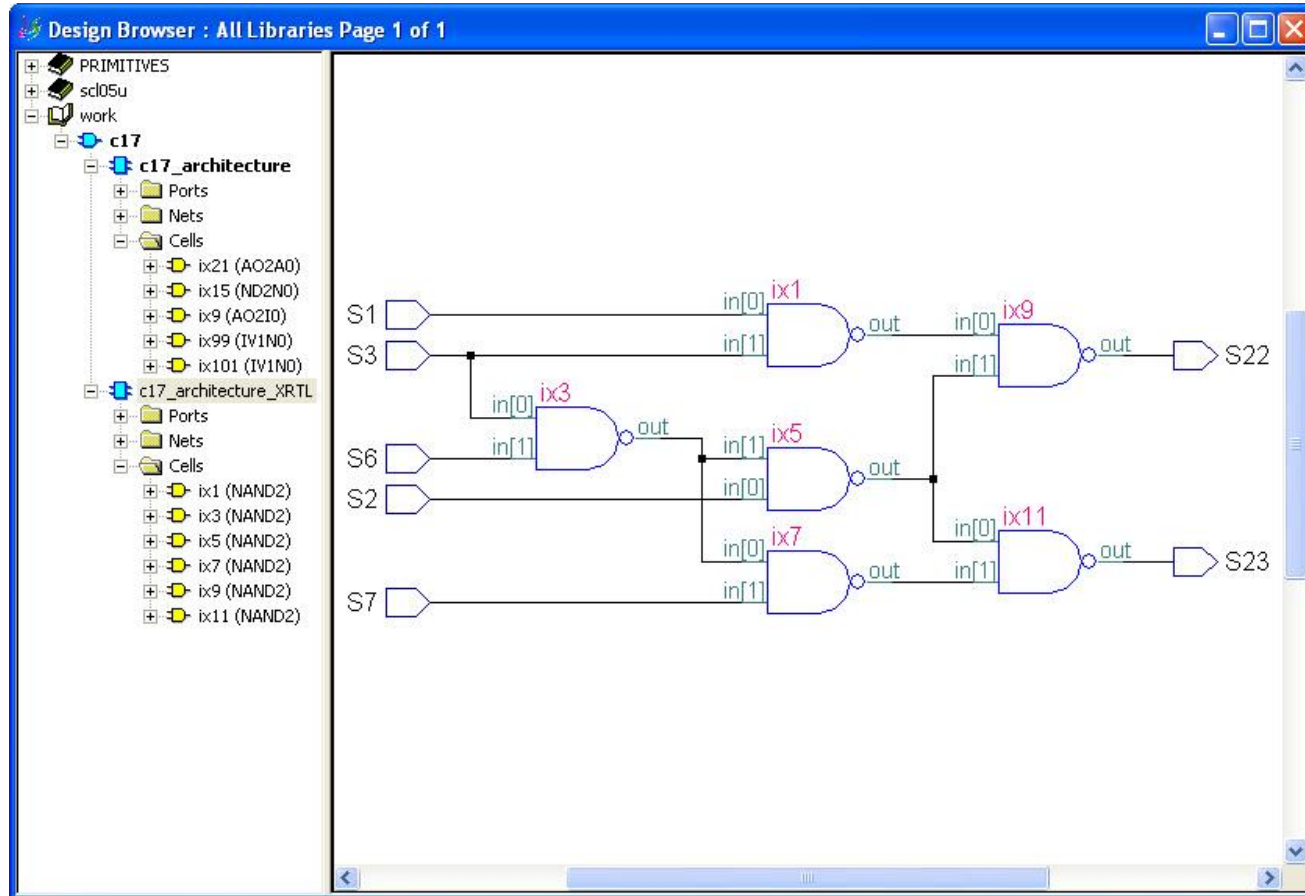
Σύνθεση - Synthesis (1)

Circuit Synthesis →

Technology Mapped Gate-Level Netlist



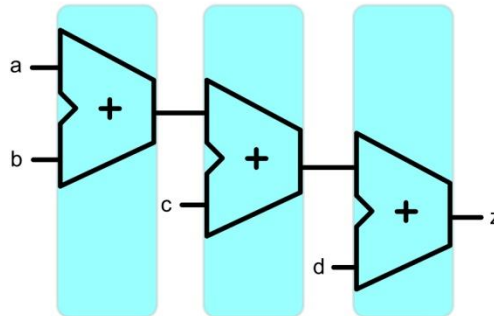
Synthesis (2)



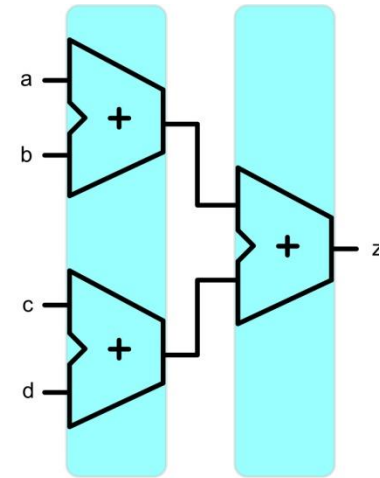
Synthesis (3)

Three optimizations:

- Arithmetic
- Resource Sharing
- Pin permutation



Circuit without optimization

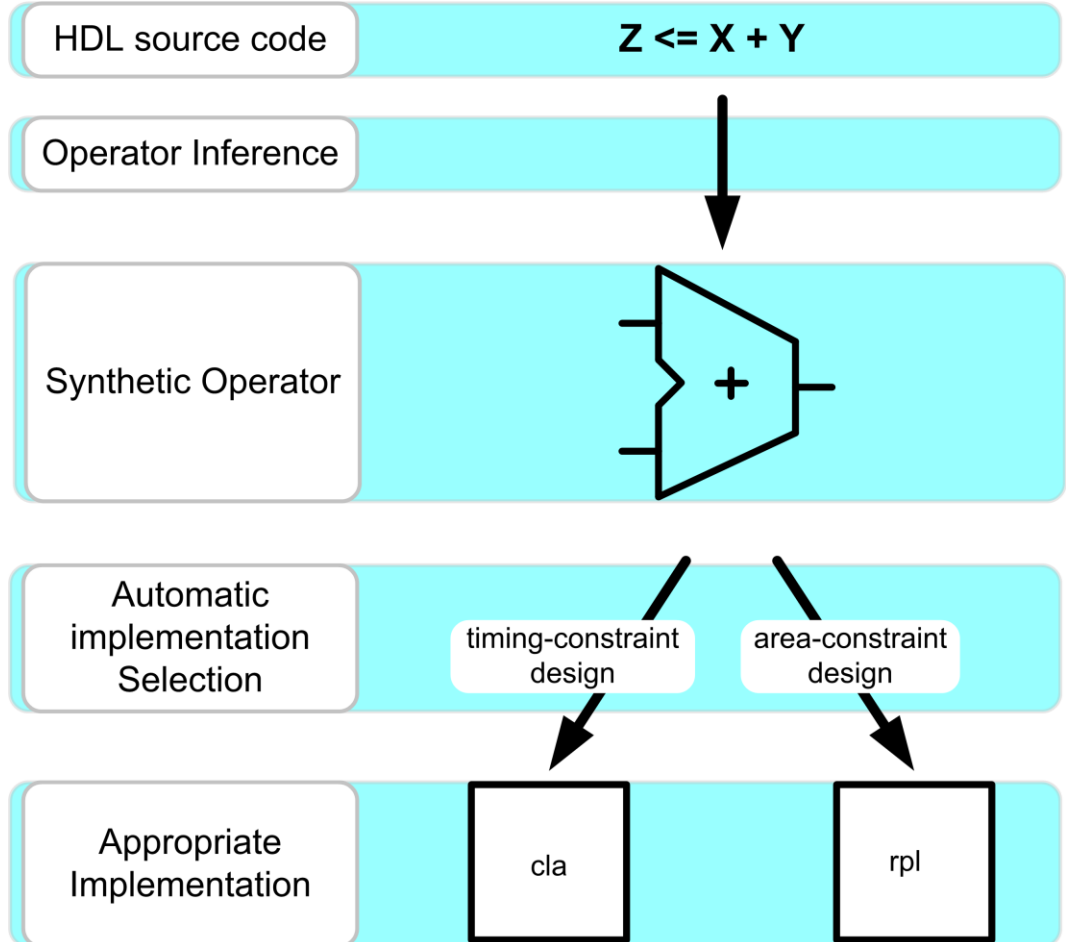


Circuit after optimization

$$a+b+c+d \longrightarrow (a+b) + (c+d)$$

Synthesis (4)

- Implementation Selection



UMC/Virtual Silicon CMOS Libraries (1)

- UMC eSi-Route/11™ Standard Cell Library .25um
 - **510 standard and special cells**
- UMC eSi-Route/11™ High Performance Standard Cell Library .18um
 - **502 standard and special cells**
- UMC eSi-Route/9™ High Density Standard Cell Library .13um
 - **557 standard and special cells**

UMC/Virtual Silicon CMOS Libraries (2)

UMCL25U250T3			
Operating Condition	Minimum	Typical	Maximum
Power Supply	2.25V	2.5V	2.75V
Junction Temperature	0°C	25°C	125°C

UMCL18U250			
Operating Condition	Minimum	Typical	Maximum
Power Supply	1.62V	1.8V	1.98V
Junction Temperature	0°C	25°C	125°C

UMCL13U210T3			
Operating Condition	Minimum	Typical	Maximum
Power Supply	1.08V	1.20V	1.32V
Junction Temperature	0°C	25°C	125°C

UMC/Virtual Silicon CMOS Libraries (3)

AND – OR Gate cell



25um

Area	Static power (uW)	VDD	Temp	Process
63.36	0.003	2.5V	25°C	Typical

(S)

Area	Static power (uW)	VDD	Temp	Process
63.36	0.003	2.5V	25°C	Typical

(L)

13um

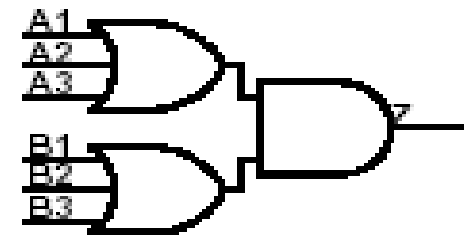
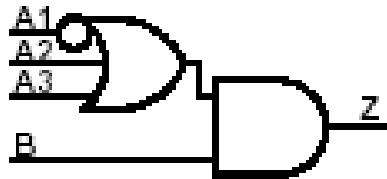
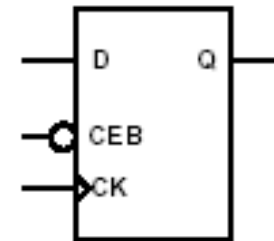
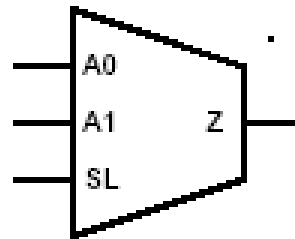
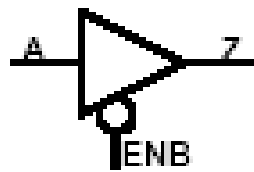
Area	Static power (uW)	VDD	Temp	Process
12.1	0.004	1.2V	25°C	Typical

(S)

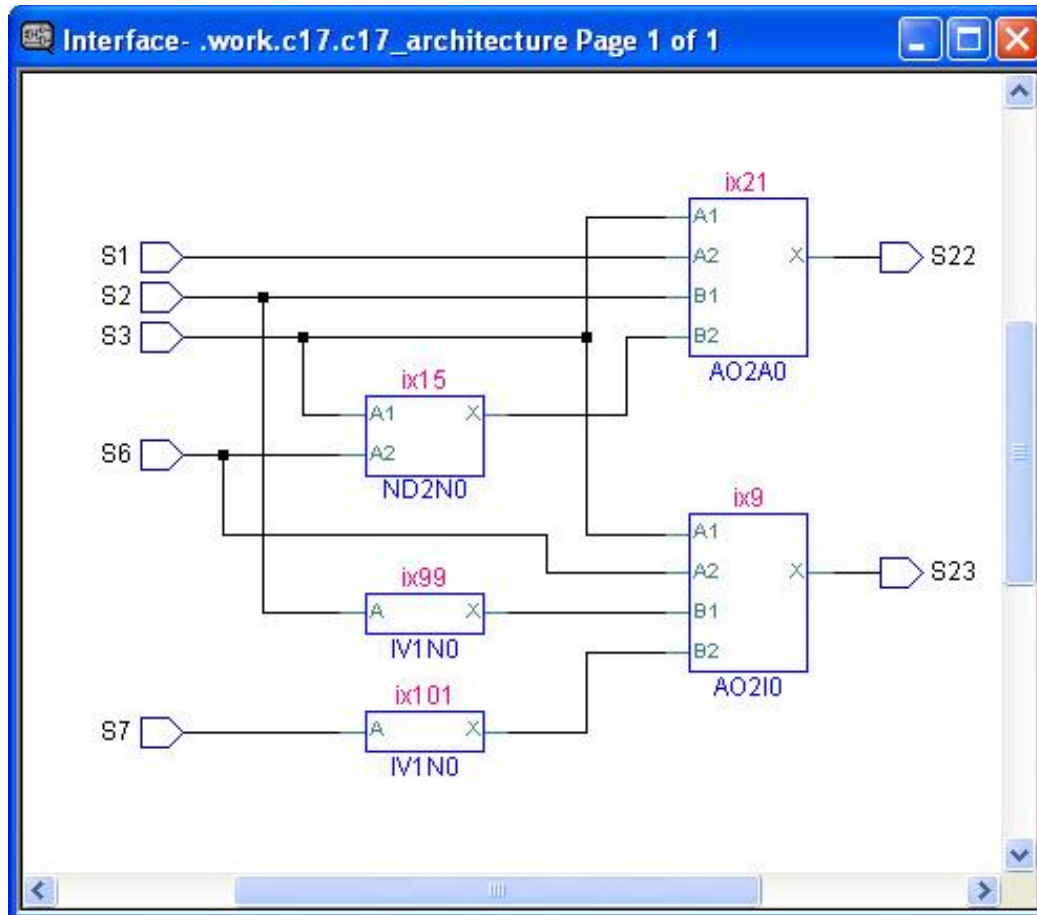
Area	Static power (uW)	VDD	Temp	Process
10.37	0.001	1.2V	25°C	Typical

(L)

UMC/Virtual Silicon CMOS Libraries (4)

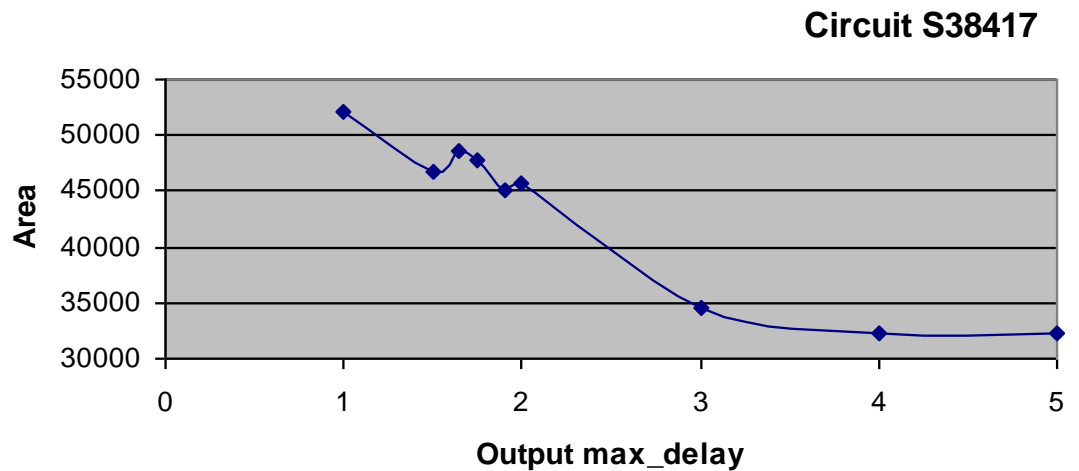


Synthesis (5)



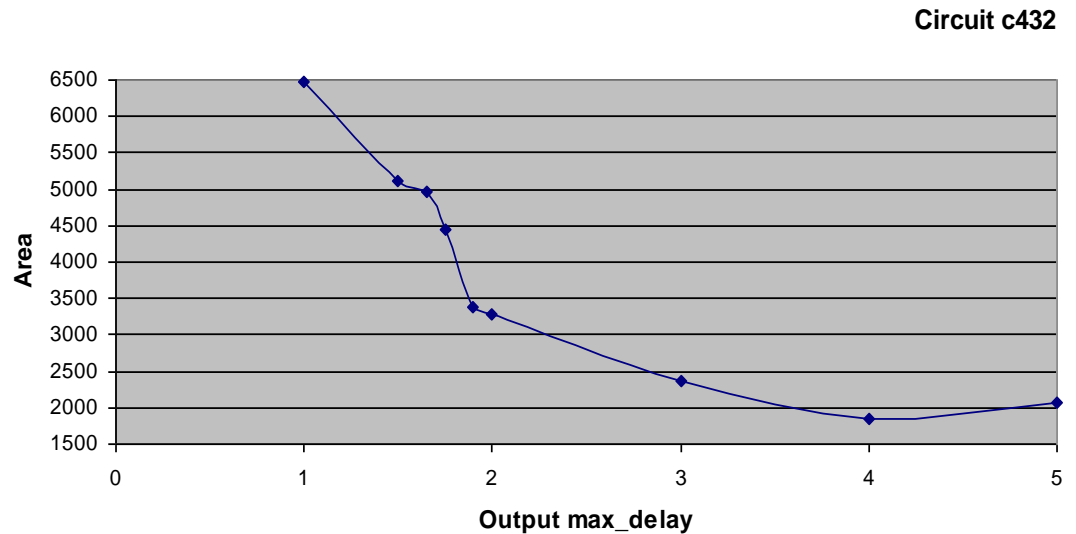
Area - max_delay Graphs (1)

S38417			
Delay	Area	Slack	Cells
5	32191,32	0,38	1834
4	32232,02	0,01	1832
3	34480,28	0	2001
2	45770,73	0,59	2358
1,9	45152,8	0,58	2397
1,75	47726,27	0,8	2413
1,65	48531,33	0,85	2532
1,5	46835,92	1,04	2415
1	52015,52	1,56	2425



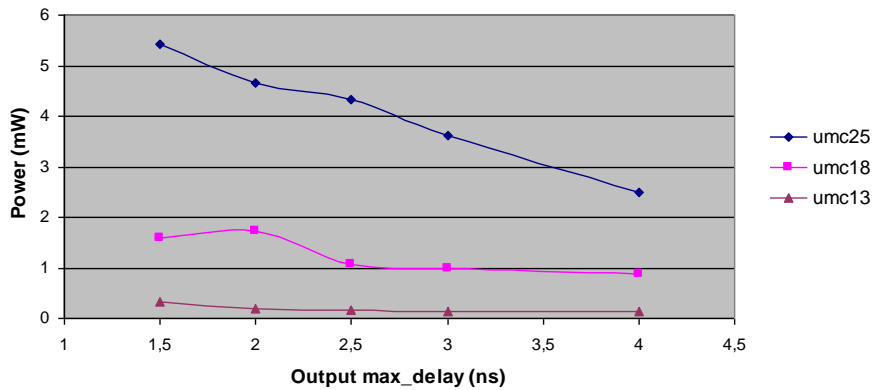
Area – max_delay Graphs (2)

c432			
Delay	Area	Slack	Cells
5	2057,18	0,54	130
4	1841,71	0,06	117
3	2366,18	0	121
2	3276,86	0	191
1,9	3370,37	0	211
1,75	4455,88	0	253
1,65	4964,07	0	281
1,5	5102,31	0	269
1,4	6464,3	0,4	306

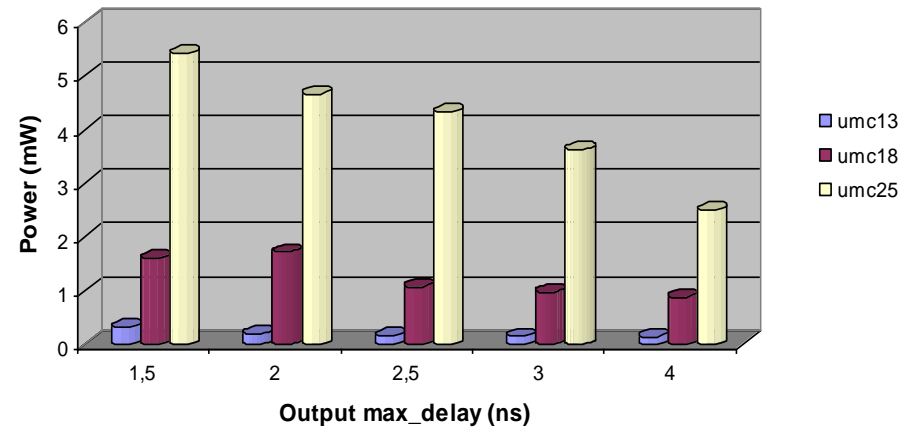


Dyn. Power – max_delay Graphs (1)

Total Dynamic Power

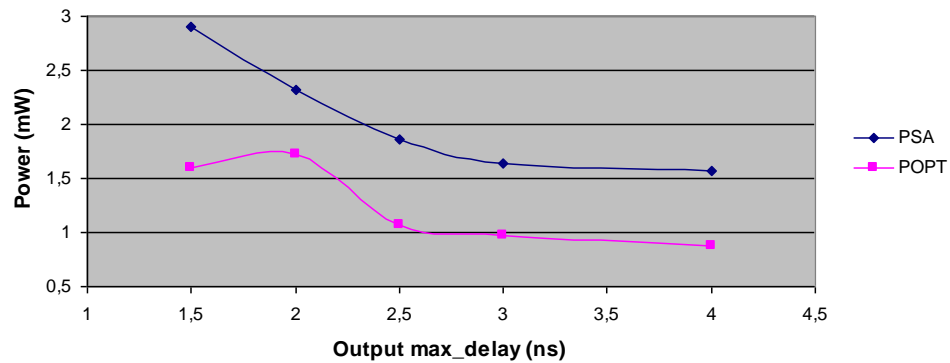


Total Dynamic Power

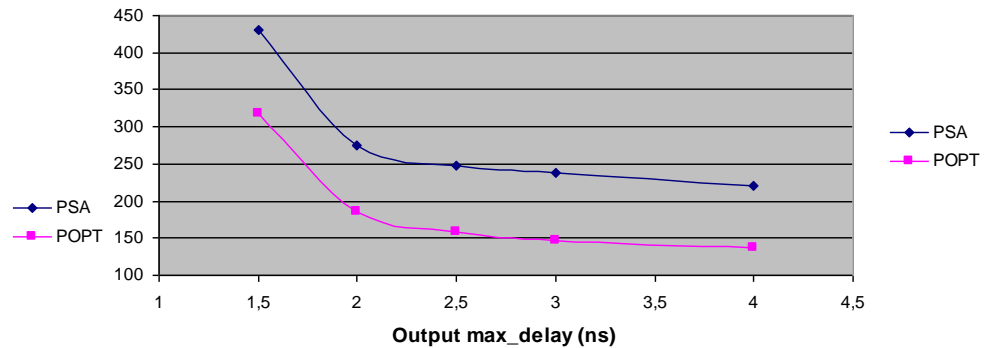


Dyn. Power – max_delay Graphs (2)

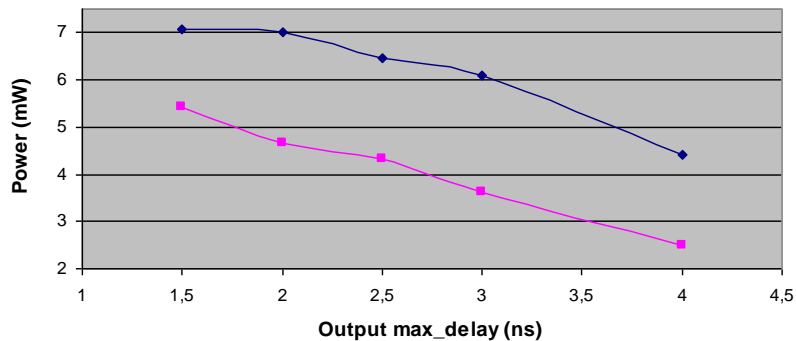
Total Dynamic Power
umc18



Total Dynamic Power
umc13



Total Dynamic Power
umc25



Πολυπλέκτες (I)

- Ας δούμε την σύνθεση ενός πολυπλέκτη με χρήση SystemVerilog περιγραφής.

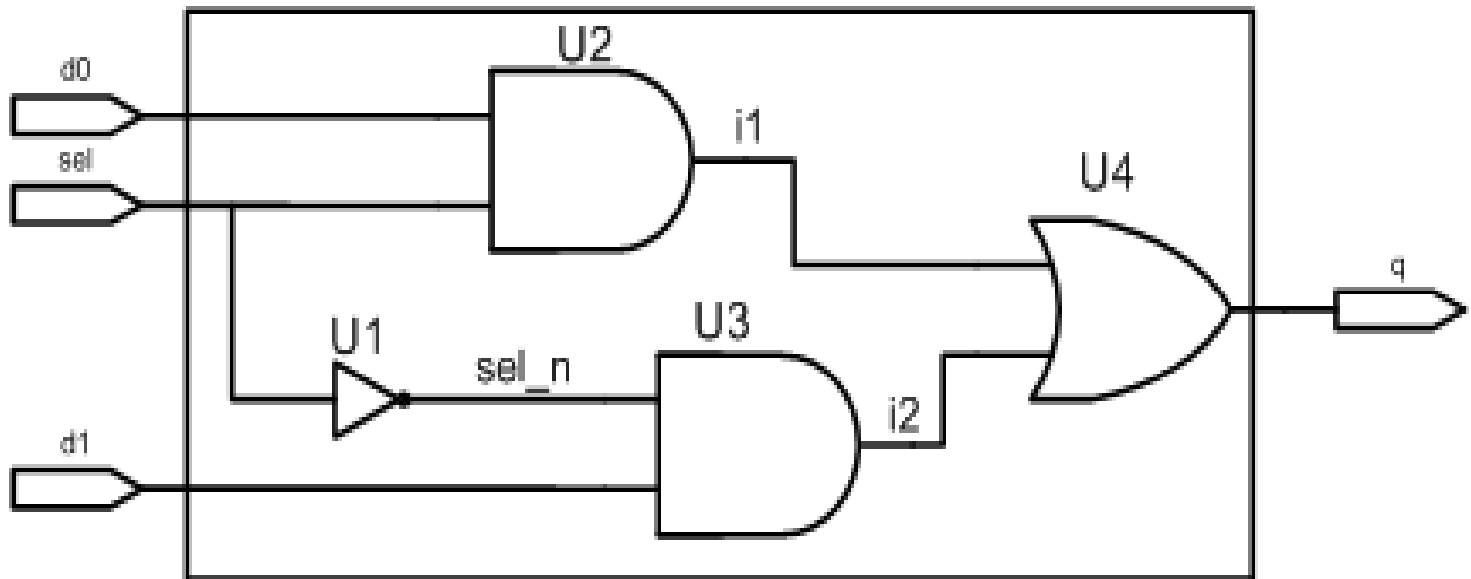
```
module mux2 (input logic d0, d1,  
             input logic sel,  
             output logic q);
```

```
    assign q = d0 & sel |  
             d1 & ~sel;
```

```
endmodule
```

Πολυπλέκτες (II)

- Μετά την σύνθεση το αποτέλεσμα θα είναι:



Πολλά μικρά ιεραρχικά επίπεδα,
Σύνολο 7 πύλες

Πολυπλέκτες (III)

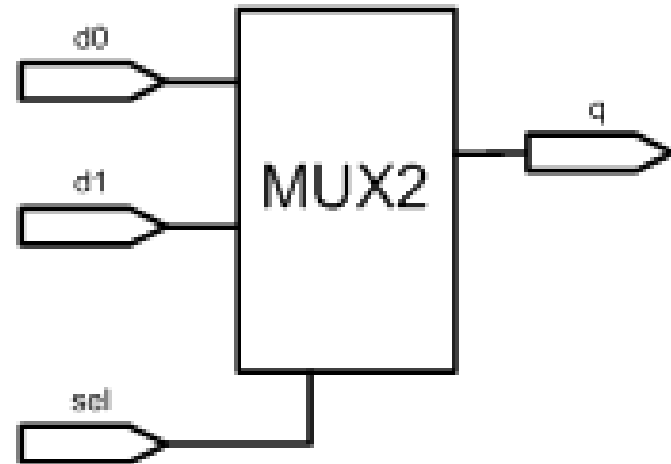
- Για να δούμε μια άλλη περιγραφή SystemVerilog.

```
module mux2 (input logic d0, d1,  
             input logic sel,  
             output logic q);
```

```
    assign q = sel ? d0 : d1;
```

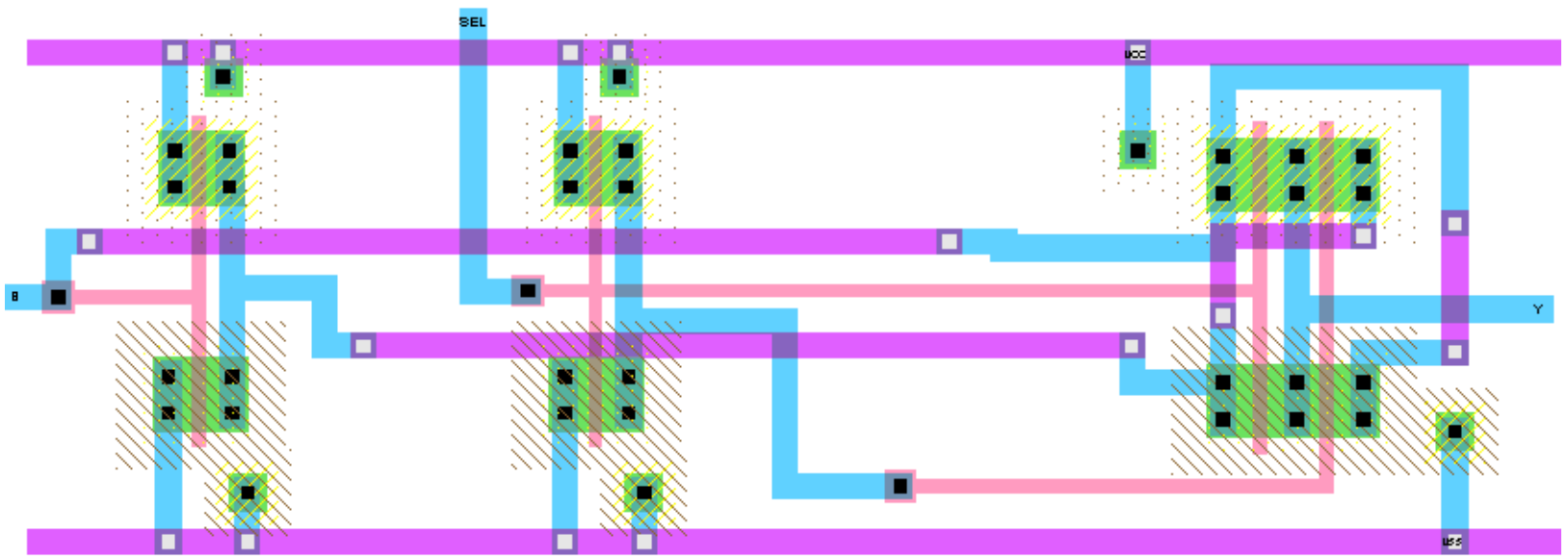
```
    // sel=1 q=d0, s=0 q=d1
```

```
endmodule
```



Ένα ιεραρχικό επίπεδο,
3 πύλες

Πολυπλέκτες (IV)



Πολυπλέκτες (V)

Με την βοήθεια των datasheets για τις τεχνολογίες στα 25, 18, 13um έχουμε:

Area(um²)

	umc25	umc18	umc13
INV	15,84	8,131	3,46
AND	39,6	16,262	6,91
AND	39,6	16,262	6,91
OR	31,68	16,262	6,91
Total	126,72	56,917	24,19

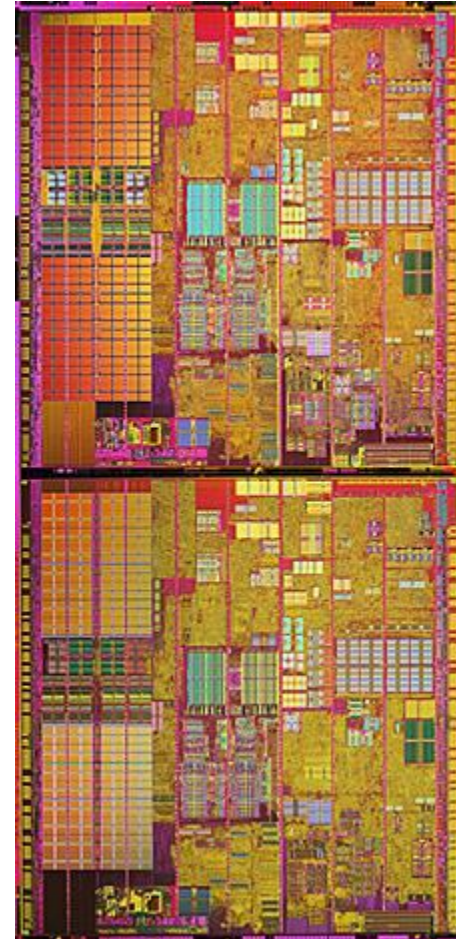
	umc25	umc18	umc13
MUX2to1	55,44	24,394	12,1

Static Power

	umc25(uw)	umc18(pW)	umc13(uw)
INV	0,006	15,451	0,001
AND	0,004	53,355	0,004
AND	0,004	53,355	0,004
OR	0,001	59,762	0,004
Total	0,015	181,923	0,013

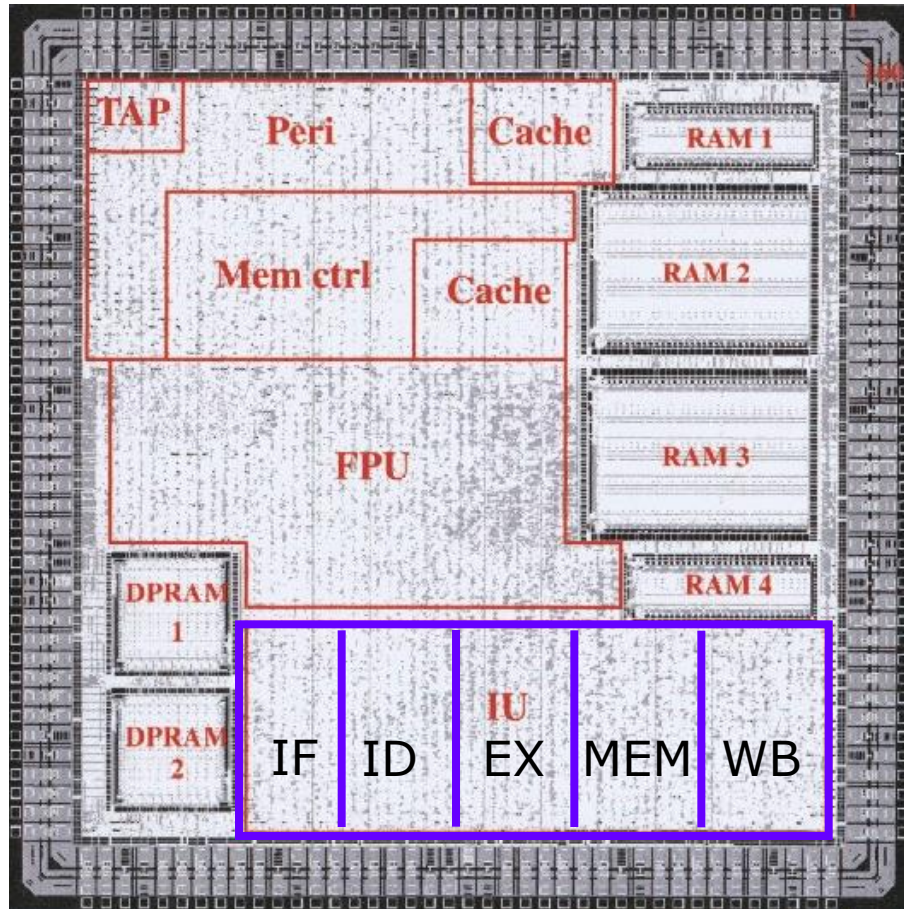
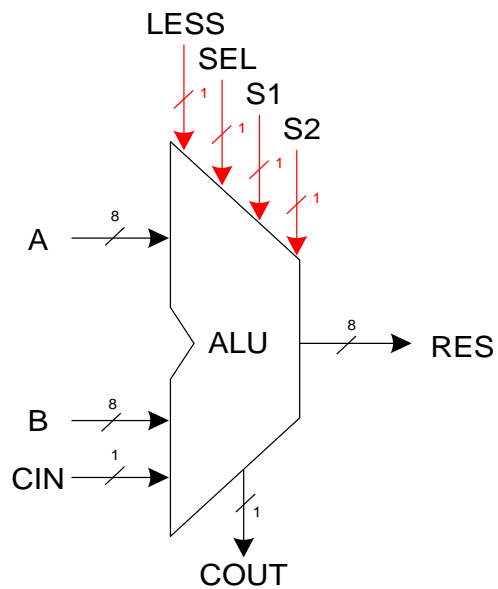
	umc25	umc18	umc13
MUX2to1	0,008	121,819	0,005

Επεξεργαστές



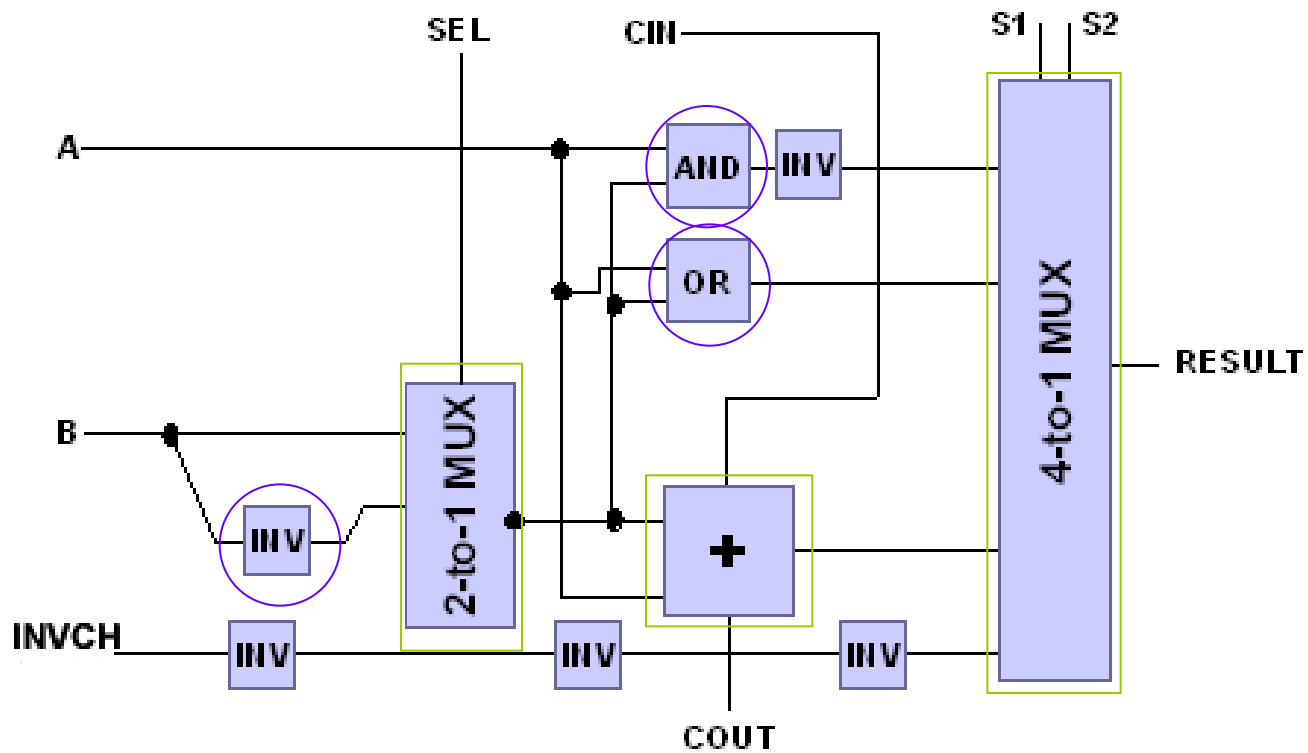
Leon ESA CPU

Ένας σύγχρονος επεξεργαστής:

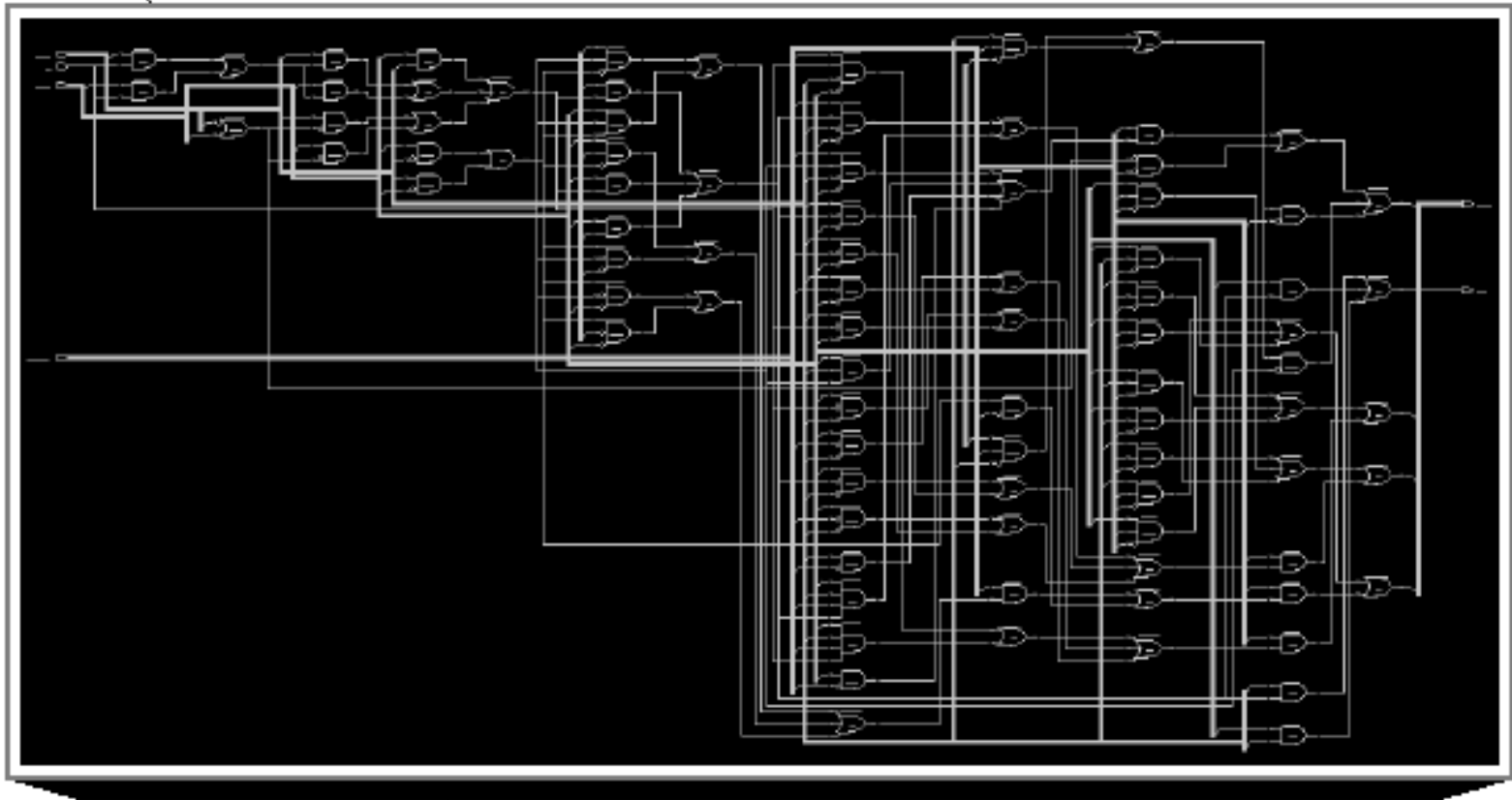


1-bit ALU

- Μία 1-bit ALU.

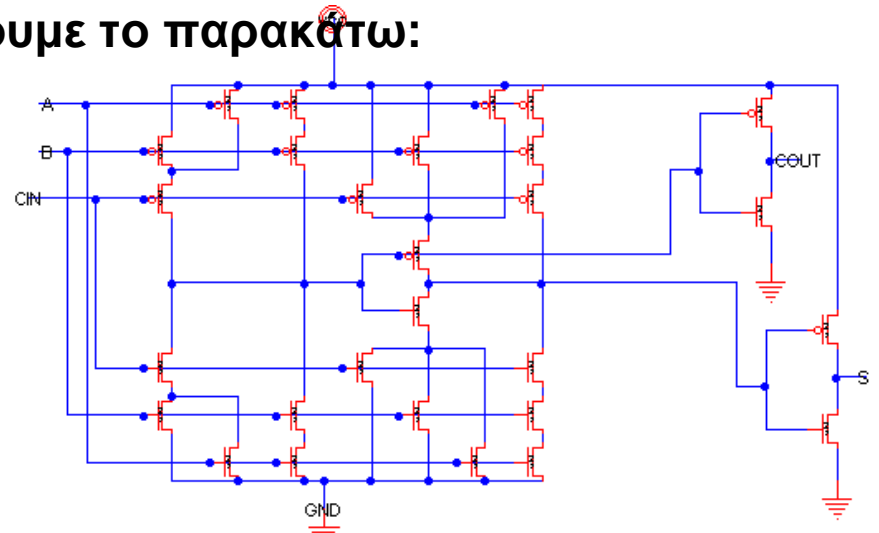


ALU Gate Level

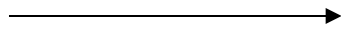


Transistor and layout

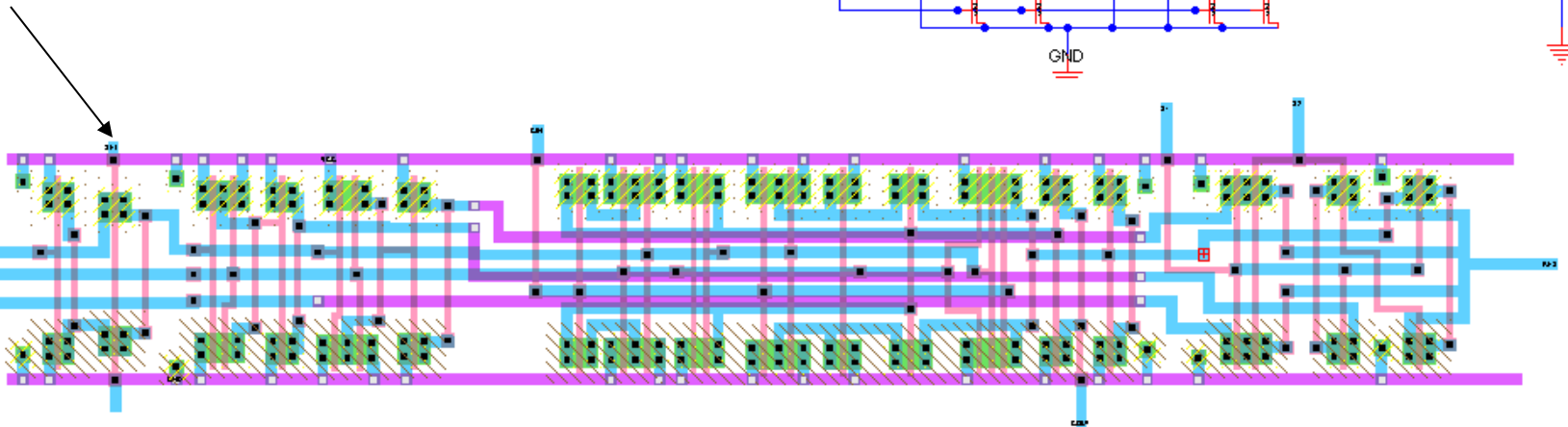
- Με την λογική του bit slice θα έχουμε το παρακάτω:



Schematic

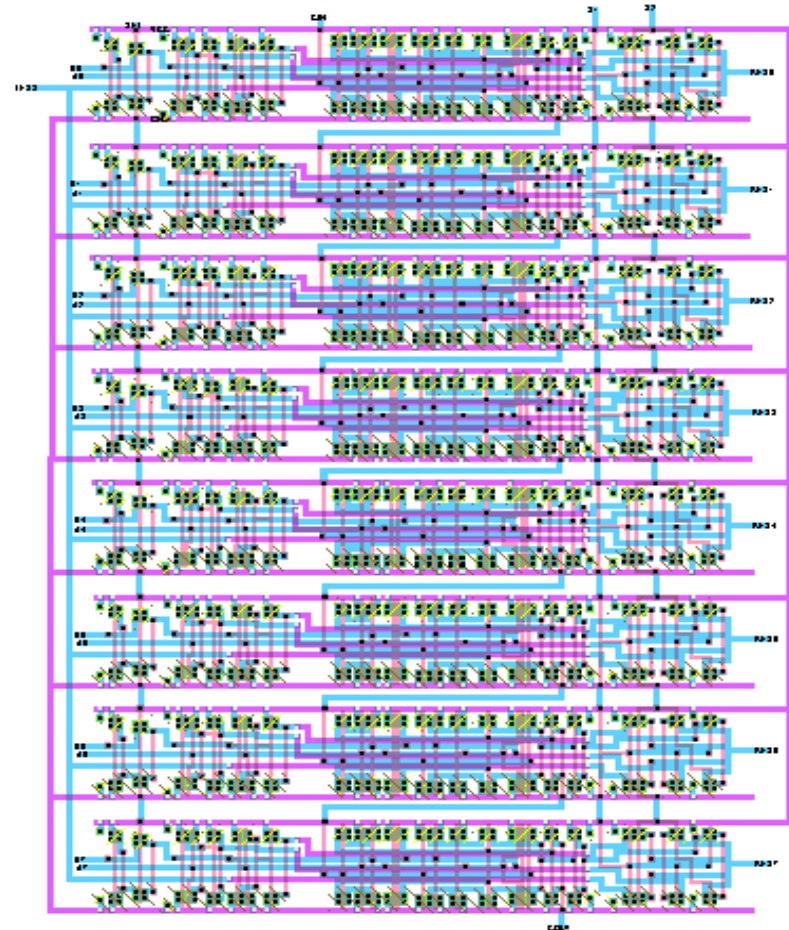


Layout

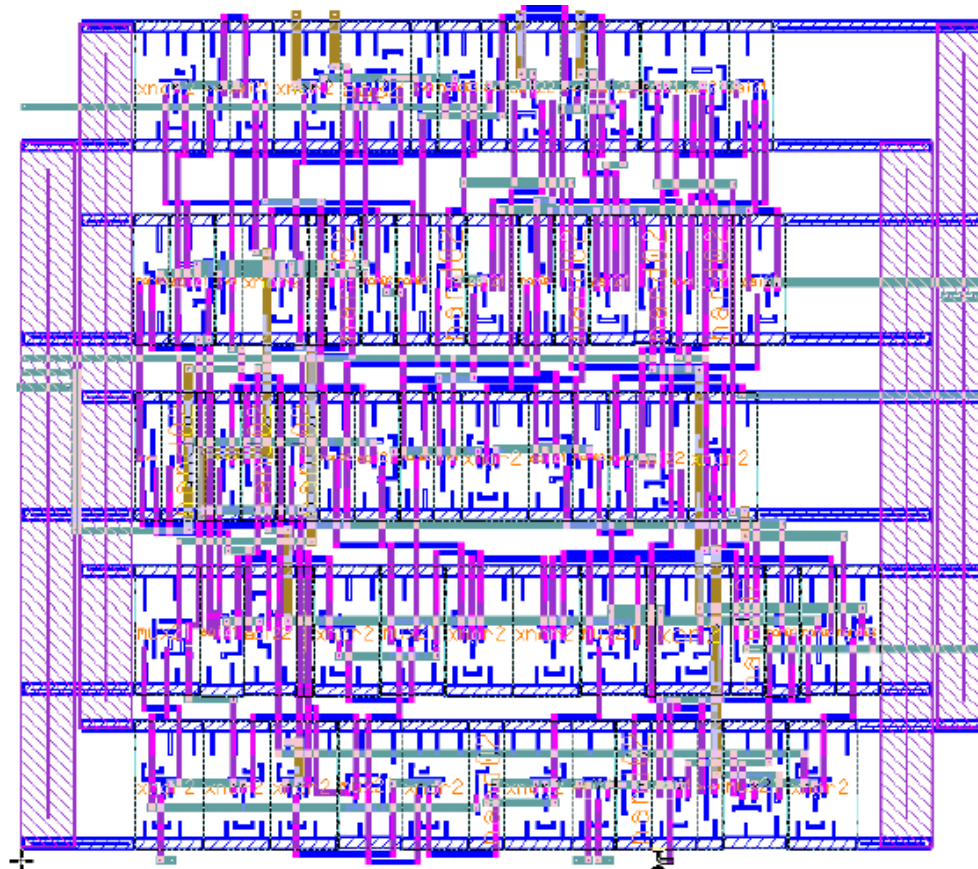


ALU 8-bit Layout

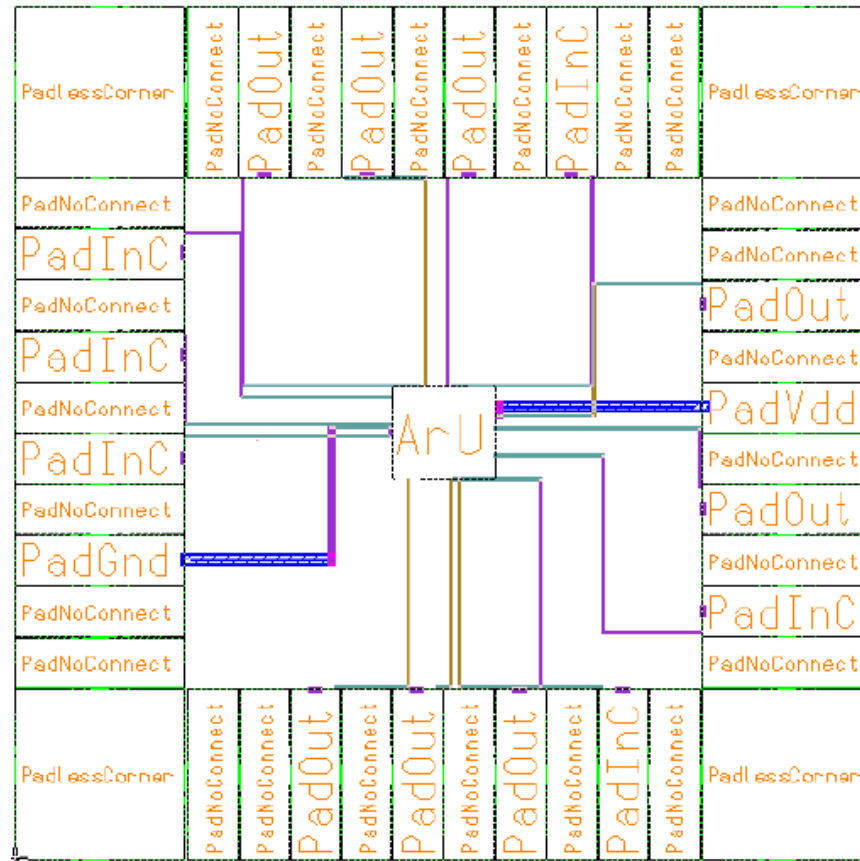
- Τοποθετώντας 8 bit slice κατακόρυφα:



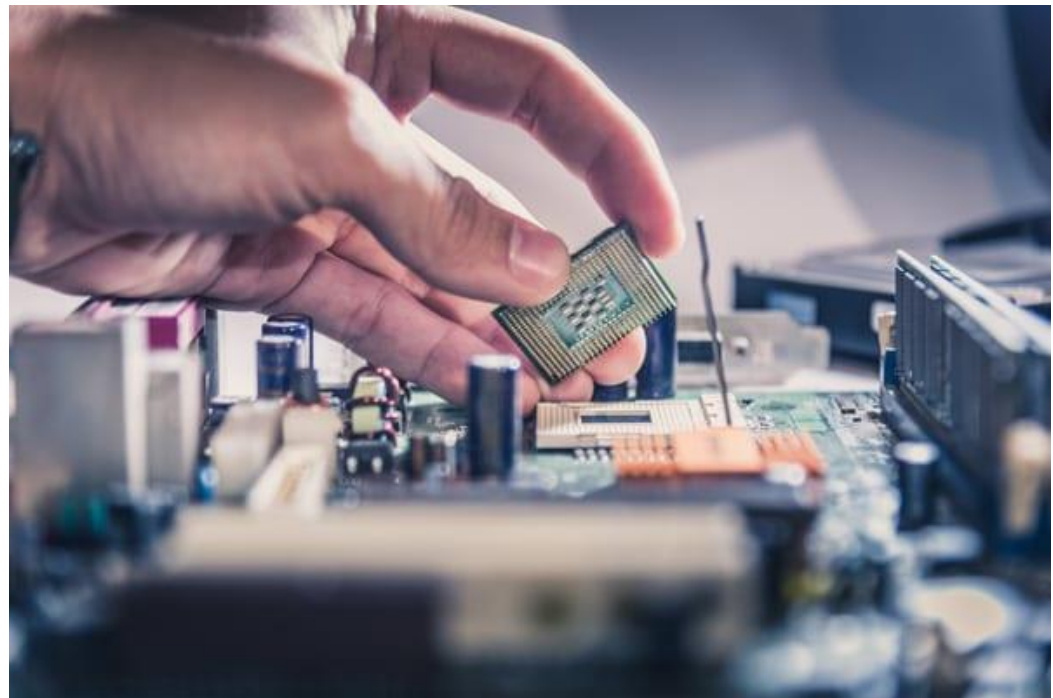
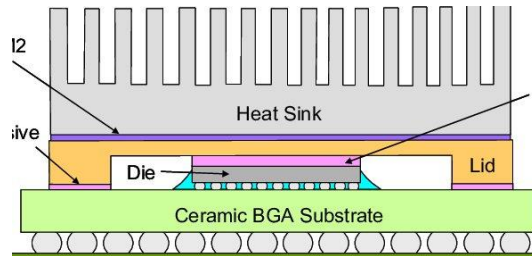
ALU Automated

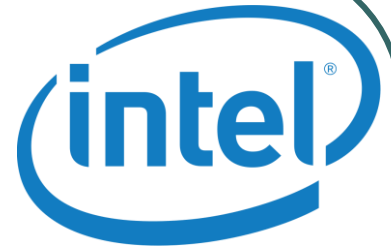


ALU with PADS

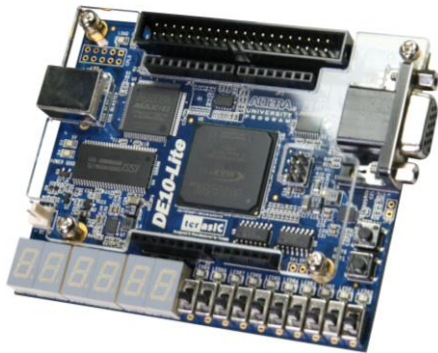


Packages

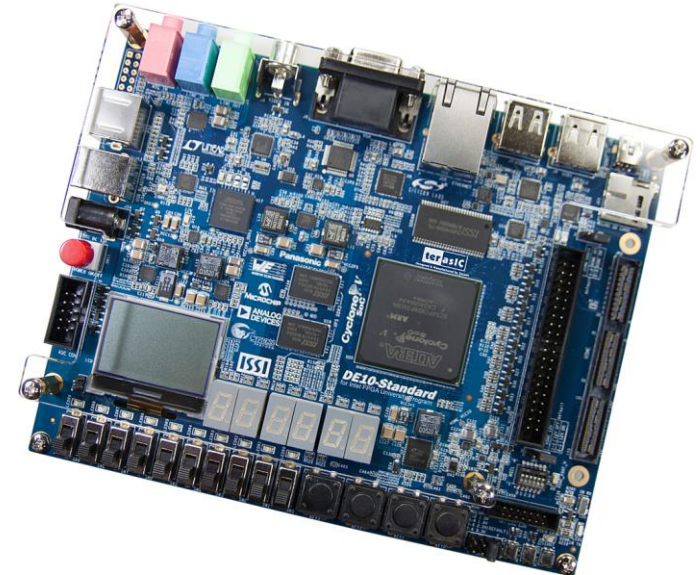
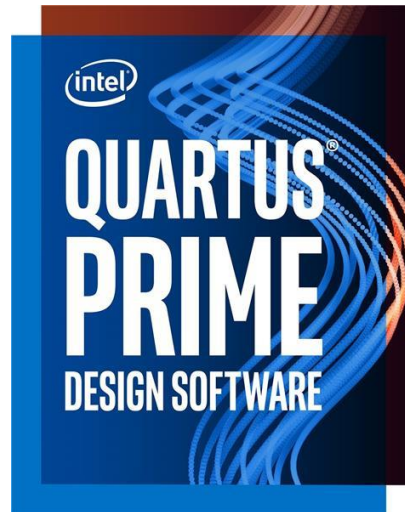




Intel FPGA University Program

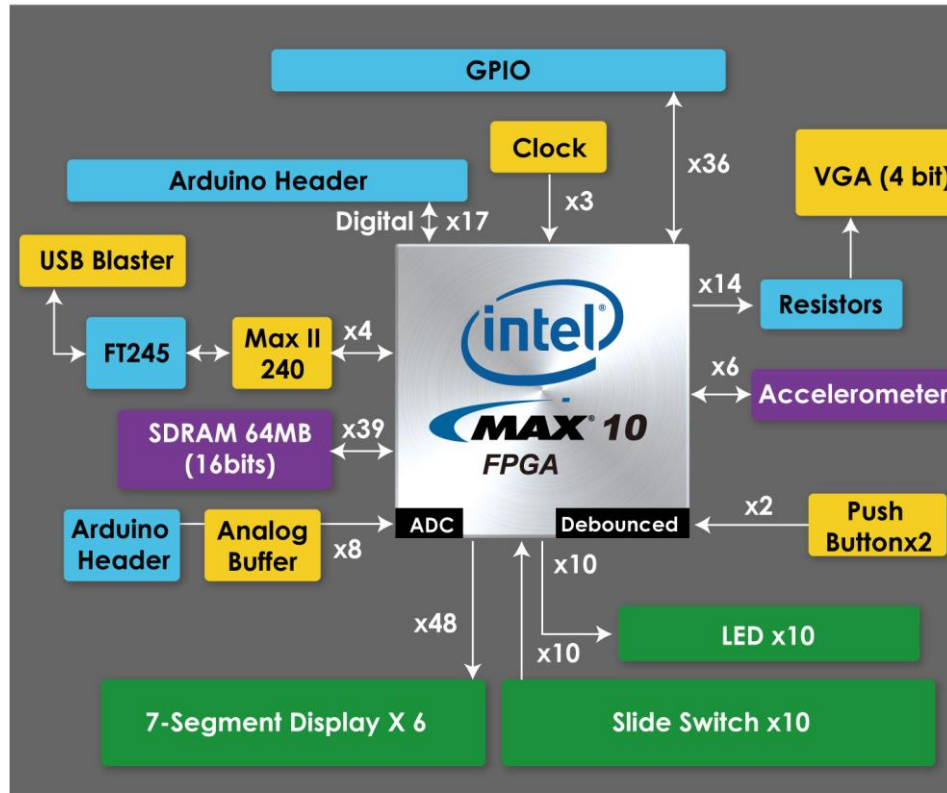


DE10-Lite
MAX10 FPGA
Arduino connector
10 τεμ.



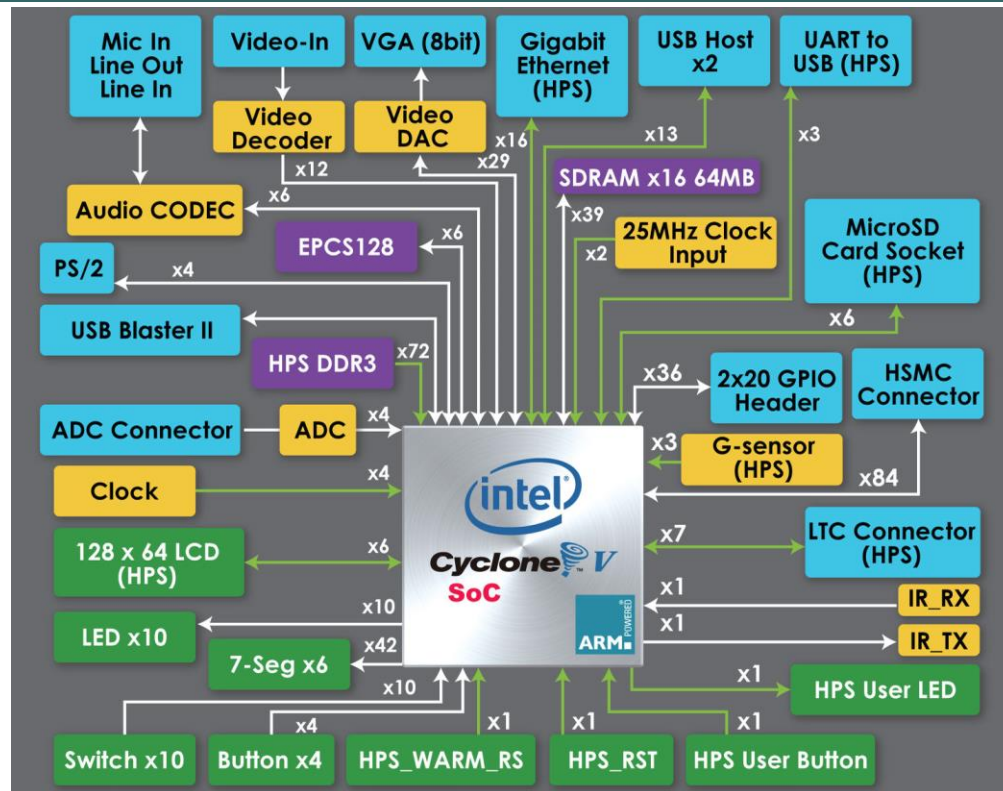
DE10-Standard
Cyclone V FPGA SoC
Dual-core Cortex-A9 HPS ARM
10 τεμ.

Intel DE10 Lite Board



Intel MAX[®] 10M50DAF484 FPGA device

Intel DE10 Standard Board



**Intel Cyclone V® SX SoC 5CSXFC6D6F31C6N FPGA device
ARM-Based Hard Processor System (HPS)**

Dual-Core ARM Cortex-A9 MPCore Processor